

## Указания за работа с програмата WARP 6.2

Указанията за работа в програмата **WARP 6.2** са представени за проект на еднобитов полусуматор, който включва две събираеми **A** и **B** и на изхода се получават сума **S** и остатък **C**. Ползвани са материали от [1].

1. Създаване на нов проект и нов файл в редактора Galaxy

Най-напред се стартира редактора **Galaxy**:

**Start > Programs > WARP > Galaxy**

1) Създаване на нов проект My Half Adder:

Създайте нов проект: **File > New > Project (Target – Device ) > OK**

Попълнете информацията в полето **Project Information**:

**Project type : VHDL**

**Project name: My Half Adder**

**Project Path: C:\My Project \My Half Adder**

За да продължите натиснете бутон:

Попълнете информацията в полето: **Add files to the project**

Файл създаден по-рано можете да добавите следвайки:

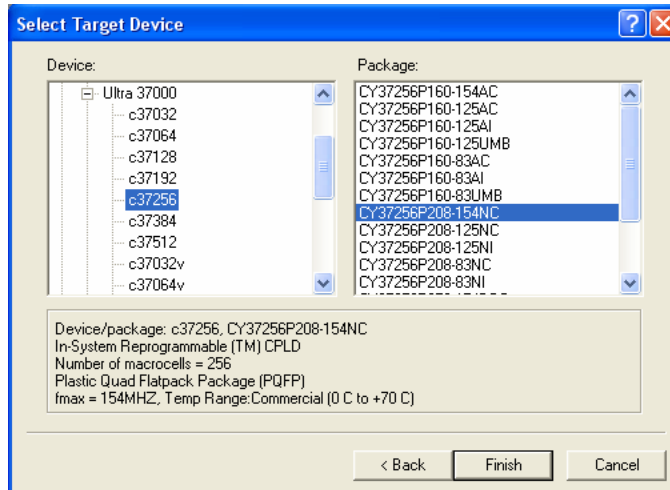
- Натиснете на бутона:
- Намерете и изберете желания файл
- Натиснете бутона:
- За да продължите натиснете бутона:

Ако няма файлове, които да добавите натиснете директно бутона:

Попълнете информацията за използваната програмируема логика в полето: **Select target device**

Използваната програмируема схема CPLD на фирмата Cypress се задава със следните опции: **ULTRA 37000 > C37256 > CY37256P160-83AC**

В диалоговия прозорец **Select Target Device** се избират фамилията (PLD, CPLD и т.н.) и подфамилията на програмируема схема (Ultra37000, Flash, MAX и т.н.). Избраната схема се характеризира с корпус, брой изводи, температурен диапазон, брой макроклетки и максималната честота.



Фигура 4. Конфигурация на CPLD

За да излезете от прозореца натиснете бутона

Потвърдете запазването на проекта:

Do you want to save the new project >

2) Създаване на нов файл HalfADD.vhd в проекта My Half Adder:

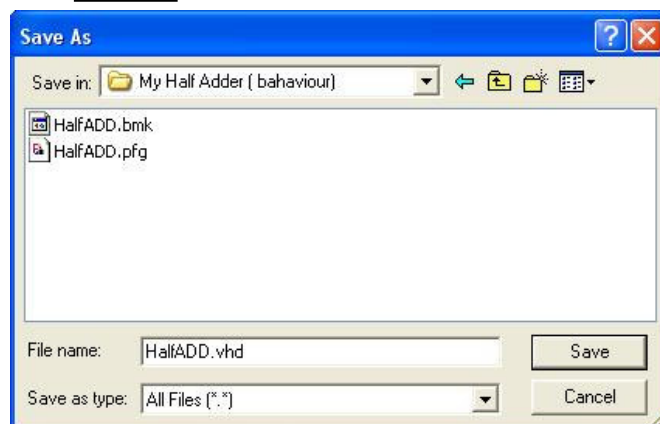
Създайте нов файл: **File > New > Text File**

Прозорецът за обработка на файла става достъпен и на първа линия се появява **label 1**.

Запазете новия файл следвайки опциите: **File > Save**

Попълнете информацията в полето **Save as: File name: HalfADD.vhd**

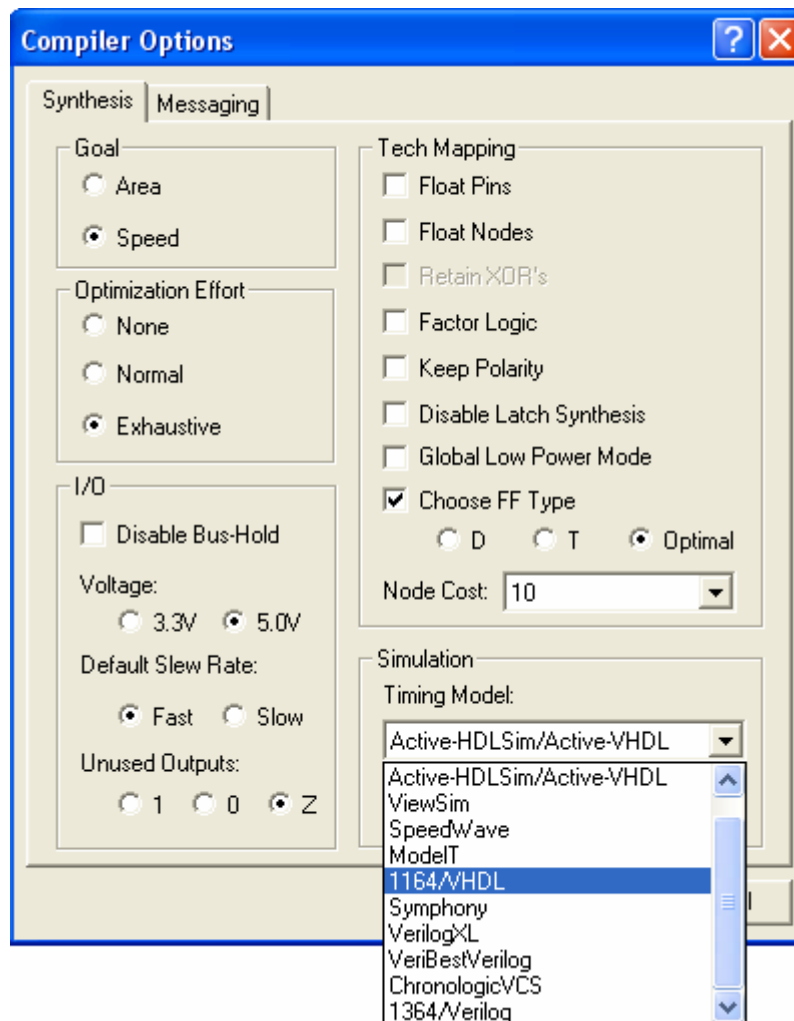
Натиснете бутона



Фигура 5. Прозорец на VHDL редактора

Добавете към проекта новия създаден файл чрез опцията: **Project > Add Files**

### 3) Компилиране на проекта



Фигура 6. Задаване на опциите на компилатора

Изборът на опциите на компилатора е много важен. Диалоговият прозорец за задаването на опциите дава възможност да бъдат избрани:

- целевата функция на проекта ( максимална скорост или минимална площ);
- вида на оптимизацията- опростяването на булевите уравнения от проекта с цел да се използват по-малко ресурси и за да се имплементира проекта в дадена схема:
  - ✓ **none**- никаква оптимизация;
  - ✓ **normal** - стандартна оптимизация ориентирана към програмируемата схема;

- ✓ **exhaustive** - стандартна оптимизация с някои допълнителни предварителни оптимизации, предлага се ако е много голям проекта и има трудности да се побере върху избраната схема. Използва се основно за FPGA и по-малко за CPLD;
- входните и изходни параметри:
  - ✓ захранващо напрежение (3,3V или 5V);
  - ✓ стръмност на волтовете (**fast** -стръмни или **slow**-полегати);
  - ✓ фиксиран на неизползваните изходи - избрано е ниво **Z**, т.е. висок импданс или най- ниското ниво на приоритет
- техника на имплементиране – избрана е опцията **Choose FF (FlipFlop) Type -> Optimal**, което позволява самата програма да избира вида на ползваните тригери T и D.
- параметри на симулацията – избор на **timing model** за симулацията с **ACTIVE-HDL SIM**

Изберете опциите на Компилятора:

**Project > Compiler Options**

След което въведете изборият timing model:

**Simulation > Timing model: 1164/VHDL**

Задайте главния файл в проекта чрез :

**Project > Set Top**

Изберете главния файл на проекта и го компилирайте чрез:

**Compile > Selected Files**

След което самият проект може да бъде компилиран чрез:

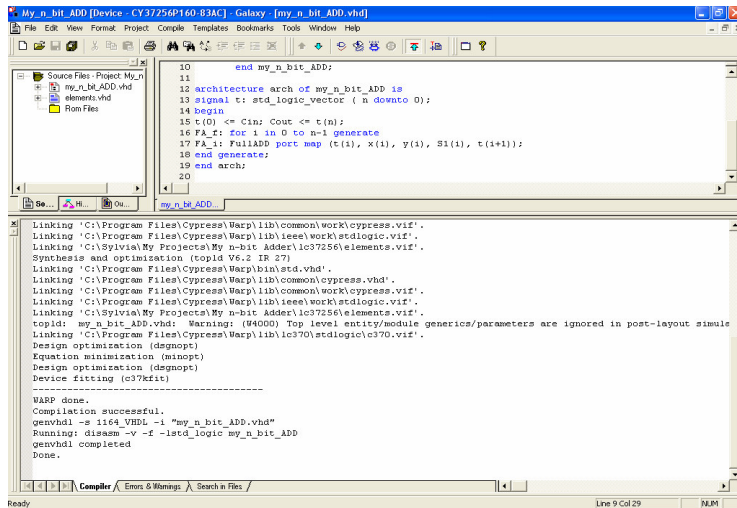
**Compile > Project**

Ако компилирането завърши успешно в долния прозорец се извежда съобщение, като е показано на фигура 7.

Ако има грешки в създадения файл, те трябва да бъдат редактирани докато съобщението “**Compilation Successful**” се изпише на последния ред.

## Указания за работа с програмата WARP 6.2

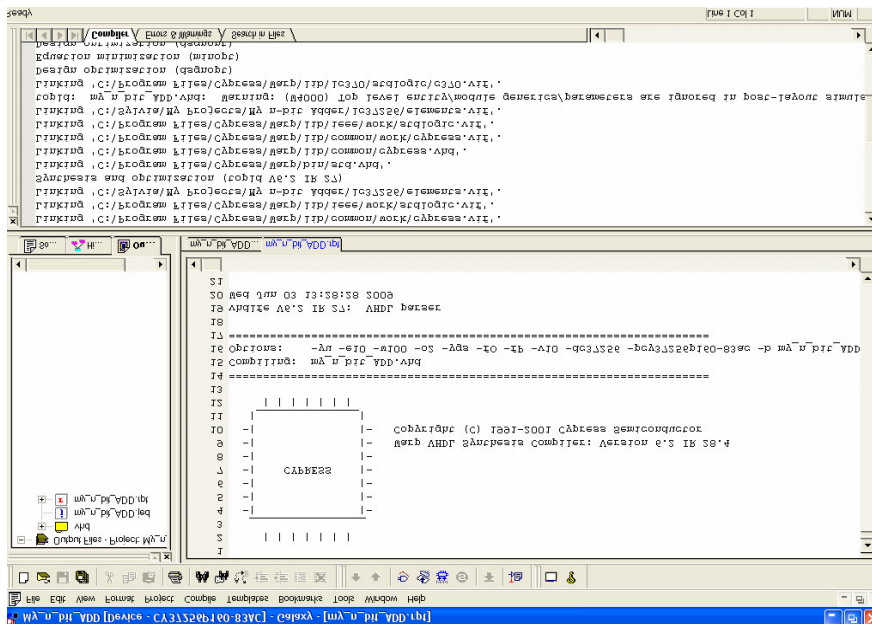
Автори: Силвия Петрова, Галя Маринова, 08.10.2009 г.



Фигура 7. Съобщение след успешна компилация.

### 4) Файлове създадени по време на компилирането

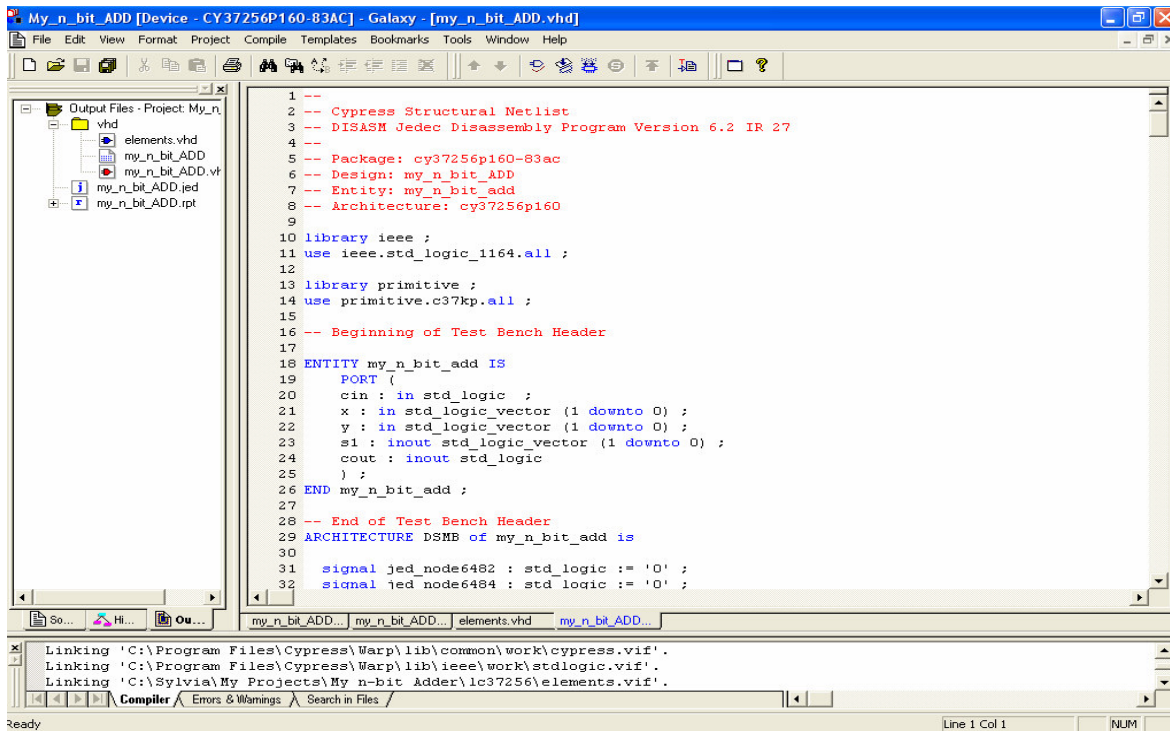
Файловете създадени по време на компилирането са изброени в първия прозорец, след избиране на третия бутон **Output Files View**, както е показано на фигура 8.



Фигура 8. Файлове създадени по време на компилирането – видими след натискането на бутон: Output Files View

Указания за работа с програмата WARP 6.2  
Автори: Силвия Петрова, Галя Маринова, 08.10.2009 г.

След компилирането на главния (top) файл в проекта се създава нова папка с името VHD. Компиляторът създава нов файл с разширение .vhd ( HalfADD.vhd ) и го запазва в горната директория. Този файл ще бъде използван по-късно за симулацията с ACTIVE-HDL SIM. Фигура 9 показва част от файла myproject.vhd създаден от компилатора GALAXY.



```
1 --
2 -- Cypress Structural Netlist
3 -- DISASM Jedec Disassembly Program Version 6.2 IR 27
4 --
5 -- Package: cy37256p160-83ac
6 -- Design: my_n_bit_ADD
7 -- Entity: my_n_bit_add
8 -- Architecture: cy37256p160
9
10 library ieee ;
11 use ieee.std_logic_1164.all ;
12
13 library primitive ;
14 use primitive.c37kp.all ;
15
16 -- Beginning of Test Bench Header
17
18 ENTITY my_n_bit_add IS
19     PORT (
20         cin : in std_logic ;
21         x : in std_logic_vector (1 downto 0) ;
22         y : in std_logic_vector (1 downto 0) ;
23         s1 : inout std_logic_vector (1 downto 0) ;
24         cout : inout std_logic
25     ) ;
26 END my_n_bit_add ;
27
28 -- End of Test Bench Header
29 ARCHITECTURE DSBM of my_n_bit_add is
30
31     signal jed_node6482 : std_logic := '0' ;
32     signal jed_node6484 : std_logic := '0' ;
```

Фигура 9. Файл HalfADD.vhd създаден от компилатора

Компилирането на проекта създава два файла:

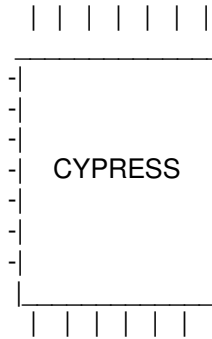
**HalfADD.jed** – JEDEC файл, който ще бъде използван при програмирането на CPLD

**HalfADD.rpt** – REPORT файл, който съдържа цялостен доклад от компилирането на проекта.

Фигура 10 Показва част от файла myproject.jed, а фигура 11 част от файла myproject.rpt



Следва съдържанието на REPORT файла.



Warp VHDL Synthesis Compiler: Version 6.2 IR 28.4  
Copyright (C) 1991-2001 Cypress Semiconductor

---

Compiling: MyHalfAdder.vhd  
Options: -yu -e10 -w100 -o2 -ygs -fO -fP -v10 -dc37256 -pcy37256p160-83ac -b MyHalfAdder.vhd -u MyHalfAdder.hie -uch0000

---

.....  
Created 4 PLD nodes.

topld: No errors.

---

PLD Optimizer Software: DSGNOPT.EXE 31/03/2000 [v4.02] 6.2 IR 27

DESIGN HEADER INFORMATION (15:02:39)

Input File(s): MyHalfAdder.pla  
Device : cy37256p160  
Package : cy37256p160-83ac  
ReportFile : MyHalfAdder.rpt

Program Controls:  
COMMAND LANGUAGE\_VHDL  
COMMAND UserCode 0000000000000000  
COMMAND PROPERTY BUS\_HOLD ENABLE

Signal Requests:  
GROUP DT-OPT ALL  
GROUP USEPOL ALL  
GROUP FAST\_SLEW ALL

Completed Successfully

---

PLD Optimizer Software: DSGNOPT.EXE 31/03/2000 [v4.02] 6.2 IR 27

OPTIMIZATION OPTIONS (15:02:39)

Messages:

Information: Optimizing logic using best output polarity for signals:

s

Information: Selected logic optimization OFF for signals:

c

Summary:

Error Count = 0 Warning Count = 0

Completed Successfully



-----  
PLD Optimizer Software: MINOPT.EXE 01/NOV/1999 [v4.02 ] 6.2 IR 27  
LOGIC MINIMIZATION ()

Messages:

Summary:

Error Count = 0 Warning Count = 0

Completed Successfully

-----  
PLD Optimizer Software: DSGNOPT.EXE 31/03/2000 [v4.02 ] 6.2 IR 27

OPTIMIZATION OPTIONS (15:02:39)

Messages:

Information: Optimizing Banked Preset/Reset requirements.

Summary:

Error Count = 0 Warning Count = 0

Completed Successfully

-----  
PLD Compiler Software: C37KFIT.EXE 22/DEC/2000 [v4.02 ] 6.2 IR 27

DESIGN EQUATIONS (15:02:39)

c =  
a \* b

s =  
/a \* b  
+ a \* /b

Completed Successfully

-----  
PLD Compiler Software: C37KFIT.EXE 22/DEC/2000 [v4.02 ] 6.2 IR 27

DESIGN RULE CHECK (15:02:39)

Messages:

None.

Summary:

Error Count = 0 Warning Count = 0

Completed Successfully

PLD Compiler Software: C37KFIT.EXE 22/DEC/2000 [v4.02] 6.2 IR 27

PARTITION LOGIC (15:02:39)

Messages:

Information: Initializing Logic Block structures.  
Information: Forming input seeds.  
Information: Checking for duplicate NODE logic.  
Information: Forming input seeds.  
Information: Assigning fixed logic to Logic Blocks.  
Information: Processing banked global preset, reset and output enable.  
Information: Separating output logic set to GND/VCC.  
Information: Validating Logic Block's with pre-placed signals.  
Information: Separating input register logic.  
Information: Assigning initializing equations to empty Logic Blocks.  
Information: Separating output combinatorial logic.  
Information: Separating disjoint output logic.  
Information: Separating output node logic.  
Information: Compacting Logic Block interconnect.

..+..

Summary:

Error Count = 0 Warning Count = 0

Completed Successfully

-----  
PLD Compiler Software: C37KFIT.EXE 22/DEC/2000 [v4.02] 6.2 IR 27

DESIGN SIGNAL PLACEMENT (15:02:39)

Messages:

Information: Fitting signals to Logic Block A.  
Information: Fitting signals to Logic Block B.  
Information: Assigning Signals to Macrocells.  
Information: Assigning Product Terms to Allocator

.....  
Information: Routing signals to Logic Blocks.

Summary:

Error Count = 0 Warning Count = 0

Completed Successfully

-----  
PLD Compiler Software: C37KFIT.EXE 22/DEC/2000 [v4.02] 6.2 IR 27

LOGIC BLOCK A PLACEMENT (15:02:39)

.....  
Information: Macrocell Utilization.

Description	Used	Max
I/O Macrocells	0	8
Buried Macrocells	0	8
PIM Input Connects	0	36
-----		
	0 / 52	= 0 %

PLD Compiler Software: C37KFIT.EXE 22/DEC/2000 [v4.02 ] 6.2 IR 27

PINOUT INFORMATION (15:02:39)

Device: cy37256p160

Package: cy37256p160-83ac

1 : GND	41 : GND	81 : GND	121 : GND
2 : Not Used	42 : Not Used	82 : Not Used	122 : Not Used
3 : Not Used	43 : Not Used	83 : Not Used	123 : Not Used
4 : Not Used	44 : Not Used	84 : Not Used	124 : Not Used
5 : Not Used	45 : Not Used	85 : Not Used	125 : Not Used
6 : Not Used	46 : Not Used	86 : Not Used	126 : Not Used
7 : Not Used	47 : Not Used	87 : Not Used	127 : Not Used
8 : Not Used	48 : Not Used	88 : Not Used	128 : Not Used
9 : Not Used	49 : Not Used	89 : Not Used	129 : Not Used
10 : GND	50 : GND	90 : GND	130 : GND
11 : Not Used	51 : Not Used	91 : Not Used	131 : Not Used
12 : Not Used	52 : Not Used	92 : Not Used	132 : Not Used
13 : Not Used	53 : Not Used	93 : Not Used	133 : Not Used
14 : Not Used	54 : Not Used	94 : Not Used	134 : Not Used
15 : Not Used	55 : Not Used	95 : Not Used	135 : Not Used
16 : Not Used	56 : Not Used	96 : Not Used	136 : Not Used
17 : Not Used	57 : Not Used	97 : Not Used	137 : Not Used
18 : Not Used	58 : Not Used	98 : Not Used	138 : Not Used
19 : b	59 : Not Used	99 : Not Used	139 : Not Used
20 : VCC	60 : VCC	100 : VCC	140 : VCC
21 : GND	61 : GND	101 : GND	141 : GND
22 : a	62 : VCC	102 : Not Used	142 : VCC
23 : Not Used	63 : Not Used	103 : Not Used	143 : Not Used
24 : Not Used	64 : Not Used	104 : Not Used	144 : Not Used
25 : Not Used	65 : Not Used	105 : Not Used	145 : Not Used
26 : Not Used	66 : Not Used	106 : Not Used	146 : Not Used
27 : Not Used	67 : Not Used	107 : Not Used	147 : Not Used
28 : Not Used	68 : Not Used	108 : Not Used	148 : Not Used
29 : Not Used	69 : Not Used	109 : Not Used	149 : Not Used
30 : Not Used	70 : Not Used	110 : Not Used	150 : Not Used
31 : GND	71 : GND	111 : GND	151 : GND
32 : Not Used	72 : Not Used	112 : Not Used	152 : s
33 : Not Used	73 : Not Used	113 : Not Used	153 : Not Used
34 : Not Used	74 : Not Used	114 : Not Used	154 : Not Used
35 : Not Used	75 : Not Used	115 : Not Used	155 : Not Used
36 : Not Used	76 : Not Used	116 : Not Used	156 : c
37 : Not Used	77 : Not Used	117 : Not Used	157 : Not Used
38 : Not Used	78 : Not Used	118 : Not Used	158 : Not Used
39 : Not Used	79 : Not Used	119 : Not Used	159 : Not Used
40 : VCC	80 : VCC	120 : VCC	160 : VCC

-----  
PLD Compiler Software: C37KFIT.EXE 22/DEC/2000 [v4.02 ] 6.2 IR 27

RESOURCE UTILIZATION (15:02:39)

Information: Macrocell Utilization.

Description	Used	Max
Dedicated Inputs	0	1
Clock/Inputs	2	4
I/O Macrocells	2	128
Buried Macrocells	0	128
PIM Input Connects	2	624
-----		
	6 / 885	= 0 %

	Required	Max (Available)
CLOCK/LATCH ENABLE signals	0	20
Input REG/LATCH signals	0	133
Input PIN signals	2	5
Input PINs using I/O cells	0	0
Output PIN signals	2	128
Total PIN signals	4	133
Macrocells Used	2	256
Unique Product Terms	3	1280

-----  
PLD Compiler Software: C37KFIT.EXE 22/DEC/2000 [v4.02 ] 6.2 IR 27

PRESET/RESET AND OUTPUT ENABLE COMBINATIONS

PRESET: NONE-COMBINATORIAL

RESET : NONE-COMBINATORIAL

CLOCK PT : NULL

Total unique inputs = 2

count of output equations = 2

==>OE: GND or VCC

count of OE equations = 2

-----  
PLD Compiler Software: C37KFIT.EXE 22/DEC/2000 [v4.02 ] 6.2 IR 27

JEDEC ASSEMBLE (15:02:39)

Messages:

Information: Processing JEDEC for Logic Block 1.

.....

Information: Processing JEDEC for Logic Block 16.

Information: JEDEC output file 'MyHalfAdder.pin' created.

Information: JEDEC output file 'MyHalfAdder.jed' created.

Summary:

Error Count = 0 Warning Count = 0

Completed Successfully at 15:02:39

-----  
PLD Compiler Software: C37KFIT.EXE 22/DEC/2000 [v4.02] 6.2 IR 27

TIMING PATH ANALYSIS (15:02:39) using Package: cy37256p160-83ac

Messages:

-----  
Signal Name | Delay Type | tmax | Path Description  
-----

cmb::s[152]

inp::a

tPD 15.0 ns 1 pass

-----  
cmb::c[156]

inp::a

tPD 15.0 ns 1 pass  
-----

Worst Case Path Summary  
-----

tPD = 15.0 ns for s

Summary:

Error Count = 0 Warning Count = 0

Completed Successfully

За да симулирате проекта стартирайте симулатора ACTIVE-HDL SIM чрез :

Tools > ACTIVE-HDL Sim

## 2. Симулация на проект чрез ACTIVE-HDL SIM

Стъпките, които трябва да бъдат следвани при симулация с ACTIVE-HSL SIM са представени в детайли.

### 1) Отваряне на файла .vhd създаден от компилатора

Отворете файла създаден от компилатора:

**File > Open VHDL**

Отворете файла в директорията VHD създадена от в проекта, за пример:

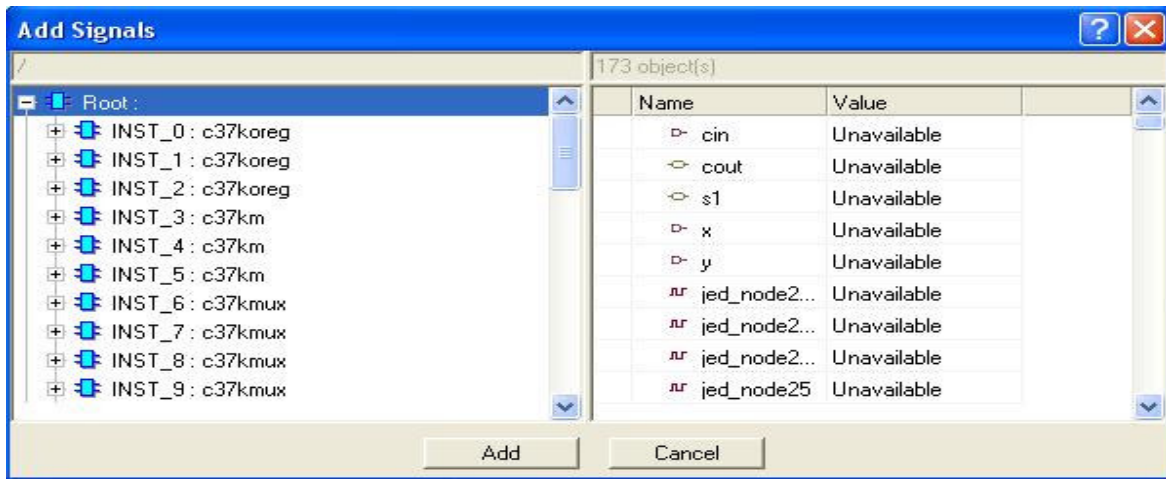
**D:\myproject\vhd\HalfADD.vhd**

## 2) Избор и определение на сигналите, които трябва да бъдат изведени

Изведете списък на сигналите в проекта чрез:

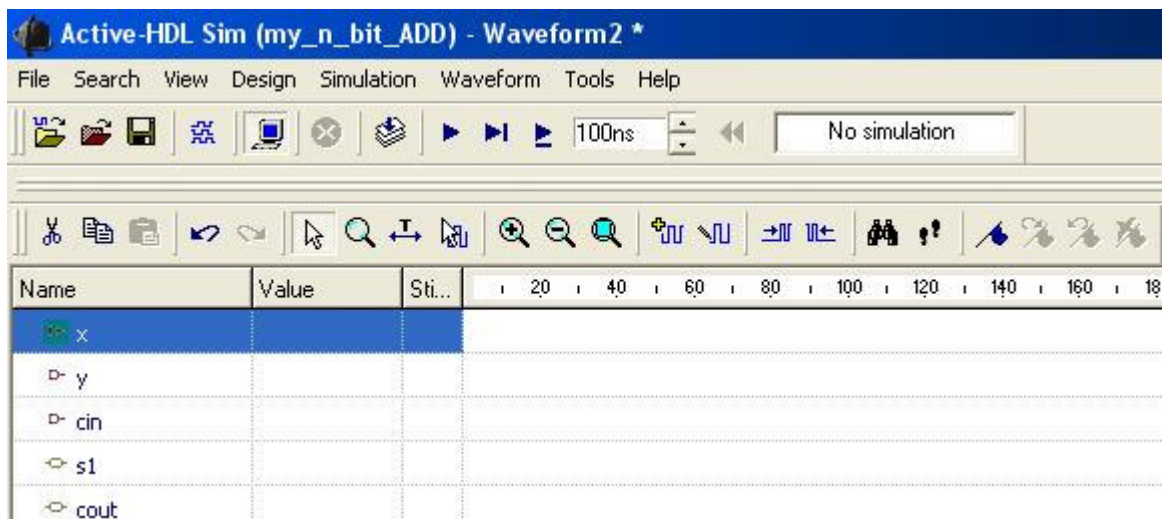
### Waveform > Add signals

Прозорецът със списъка на сигналите е представен във фигура 12. Изберете сигналите, които трябва да се изведат и натиснете бутона



Фигура 12. Списък на сигналите в проекта.

Избраните сигнали се появяват на екрана както е показано на фигура 13.



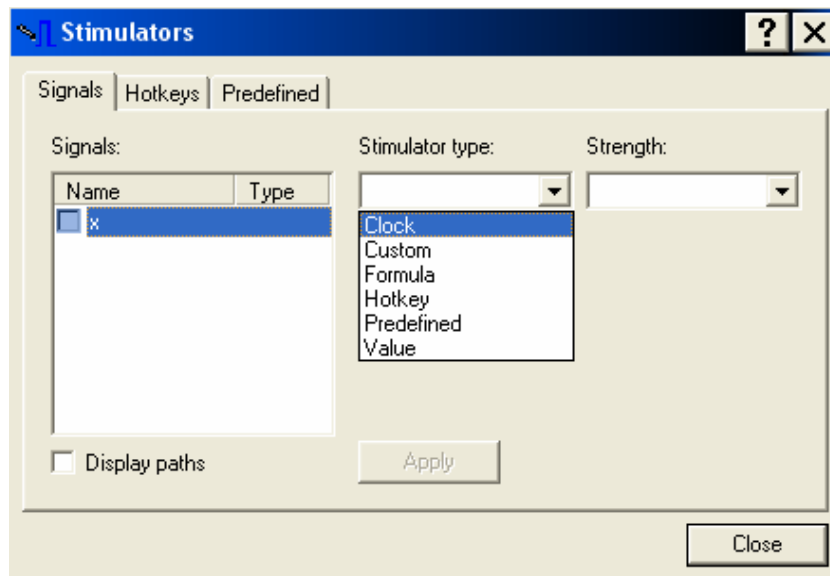
Фигура 13. Сигналите на екрана.

## 3) Задаване на входните сигнали в ACTIVE-HDL SIM

Входящите сигнали трябва да бъдат определени:

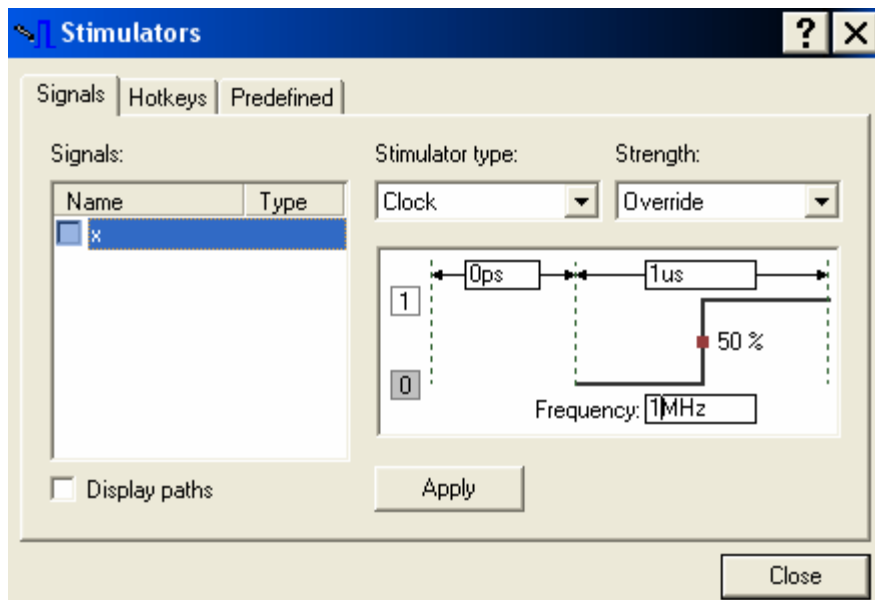
- Изберете сигнал;
- Натиснете десният бутон на мишката;

- В менюто, което се появява изберете Stimulators;
- Прозорецът, който се появява е показан на фигура 14;




Фигура 14. Прозорец за сигналите и техниите определения

Изберете типа на сигнала, който най-добре пасва на вашето описание и дефинирайте сигнала. В показания пример сигналът е от тип – тактов генератор и с честота 1 MHz.



Фигура 15. Дефиниция на тактов генератор с честота 1 MHz

Дължината на импулса може да бъде настройвана.

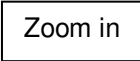
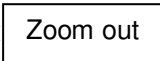
След като тактовия генератор е дефиниран натиснете бутона  , за да свържете дефиницията и сигнала.

#### 4) Определяне на времето за симулация

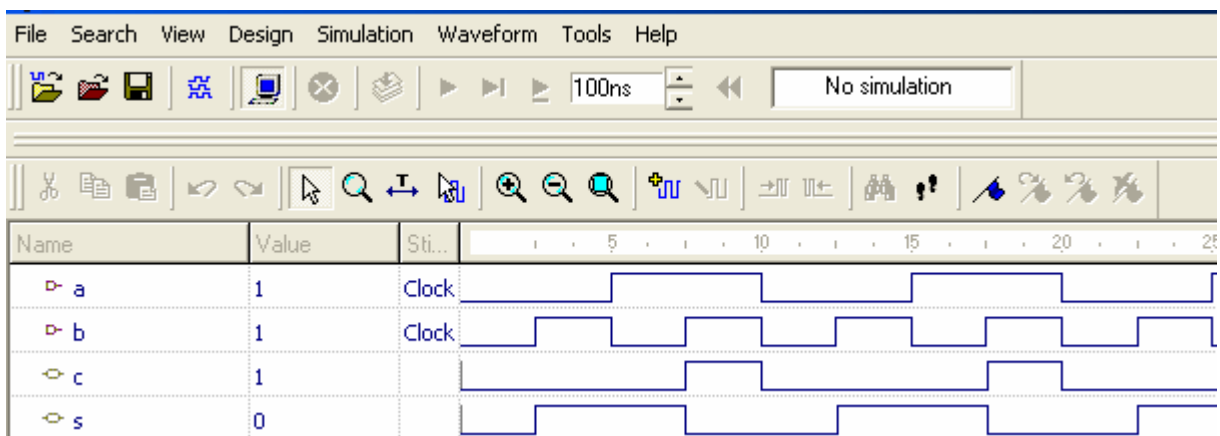
Времето за симулация се определя в прозореца в горния край на екрана.

#### 5) Симулация и времедиаграми

За да стартирате симулация натиснете бутона, който се намира пред прозореца където определихме времето за симулация.

След като симулацията завърши резултатите за сигналите се появяват на екрана. За по-добра видимост използвайте бутоните  и  .

Формите на вълните са показани на фигура 16.



Фигура 16. Времедиаграми получени от симулацията на проекта My Half ADD

Спрете симулацията чрез: **Simulation > End simulation**

Нова симулация с нови сигнали например може да бъде стартирана чрез:

**Waveform > Clear waveforms**

**Simulation > Initialize simulator**

И стартирайте симулацията отново.

[1] Galia Marinova, Claude Fernandès, WARP 6.2. Step-by-step, e-book, CNAM- Paris, France, 2000