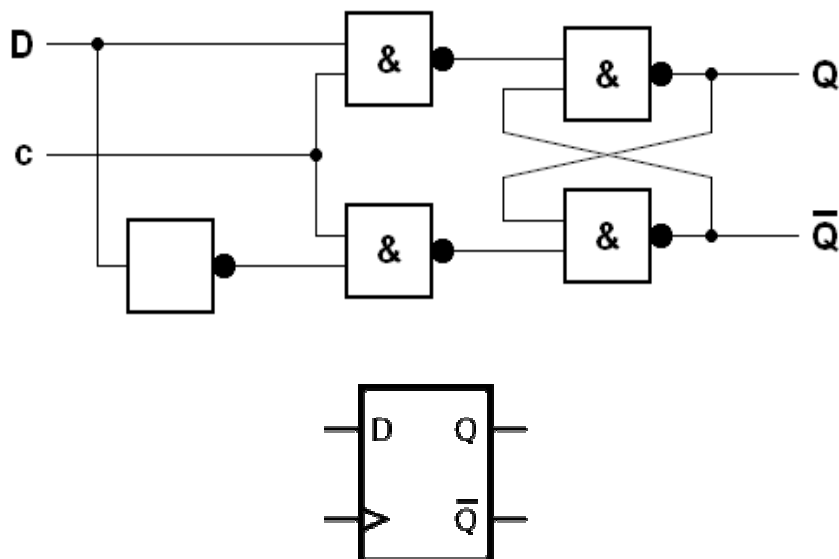


Пример 9. D-Тригер

1. Логическа схема на D-тригер:



Фиг.1 D -Тригер

2. Принцип на действие:

D тригерът представлява елементарна клетка памет. Той притежава един информационен вход означен с D (Закъснение, англ. *Delay*). Логическото ниво на този вход се установява на изхода след постъпване на съответен тактов импулс. Информацията на изхода се получава с един такт закъснение. На основа на D тригера се реализират основните регистърни схеми. Може да бъде получен на основата както на JK така и на RS тригер.

3. Таблица на истинност:

D	CK	Q
X	0, 1 ↓	Previous state
0	↑	0
1	↑	1

Фиг.2 Таблица на истинност на тригер

Пример 9. D-тригер

Автори: Силвия Петрова, Галя Маринова, 01.02.2010 г.

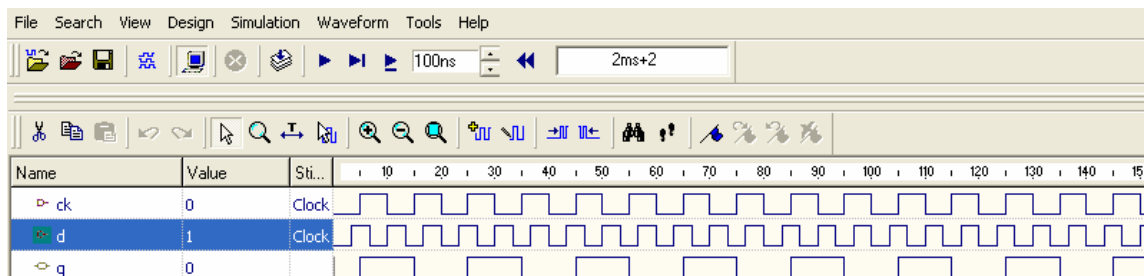
4. Описание на D-тригер на VHDL чрез поведенчески модел:

```
library ieee;
use ieee.std_logic_1164.all;
entity Bascule_D is
    port(CK:in bit; D: in std_logic; Q: out
std_logic);
end Bascule_D;
architecture archBascule_D of Bascule_D is
begin
    process(CK)
    begin
        if CK'event and CK='1' then Q<=D;end if;
    end process;
end archBascule_D;
```

5. Входни сигнали:

Signal	Type	Frequency
CK	clock	100kHz
D	clock	150kHz

6. Резултати от симулацията на ACTIVE-HDL SIM:



Честотата на входния изходния сигнал Q е два пъти по-ниска от тази на сигнала CK.

7. Използвани ресурси върху програмируемата схема CY37256P160-83AC и закъснения от REPORT файла mytrigger.rpt:

RESOURCE UTILIZATION (18:55:07)

Information: Macrocell Utilization.

Пример 9. D-триггер**Автори: Силвия Петрова, Галя Маринова, 01.02.2010 г.**

Description	Used	Max
Dedicated Inputs	0	1
Clock/Inputs	2	4
I/O Macrocells	1	128
Buried Macrocells	0	128
PIM Input Connects	1	624
	4 / 885 = 0 %	

	Required	Max (Available)
CLOCK/LATCH ENABLE signals	1	20
Input REG/LATCH signals	0	133
Input PIN signals	2	5
Input PINs using I/O cells	0	0
Output PIN signals	1	128
Total PIN signals	3	133
Macrocells Used	1	256
Unique Product Terms	1	1280

TIMING PATH ANALYSIS (18:55:07) using Package: cy37256p160-83ac

Messages:

Signal Name | Delay Type | tmax | Path Description

reg::q[143]

inp::d

tS 8.0 ns 1 pass

out::q

tCO 8.0 ns

Worst Case Path Summary

tS = 8.0 ns for q.D

tCO = 8.0 ns for q.C