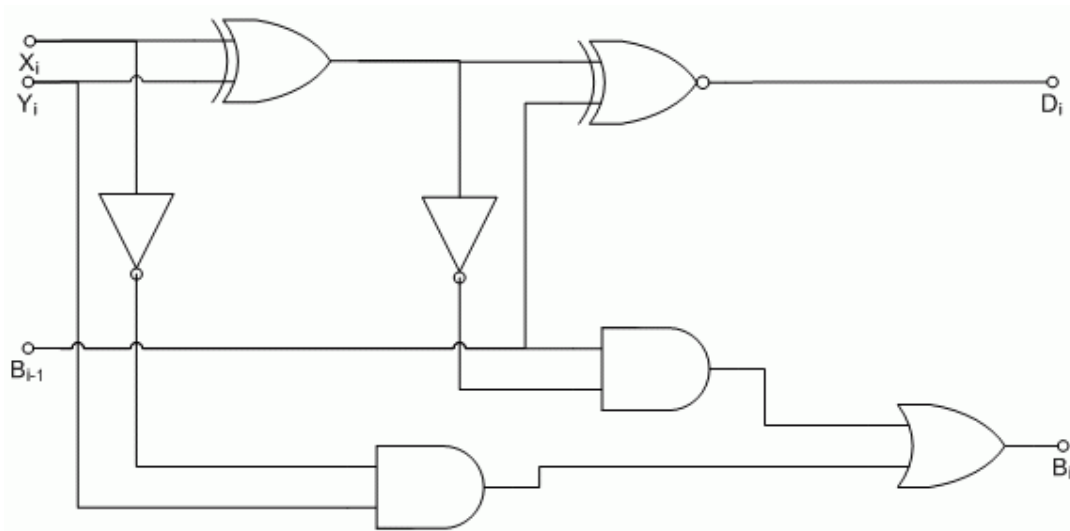


## Пример 8. Еднобитов субстрактор

### 1. Логическа схема на еднобитов субстрактор:



Фиг.1 Еднобитов субстрактор

### 2. Принцип на действие:

Субстракторите са устройства изпълняващи операцията изваждане на числата. Ако в АЛУ освен суматор има и субстрактор, отпада необходимостта от използване на обратен и допълнителен код при извършване на операцията “изваждане” т.е. “алгебрическо събиране”. Може да се синтезира схема, която да изпълнява едновременно функциите на суматор и субстрактор. Една такава схема ще има три входа и три изхода.

### 3. Таблица на истинност и логически уравнения:

A	B	BORIN	DIFF	BOR
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Фиг.2 Таблица на истинност на субстрактор

Логически уравнения:  
 $DIFF_i = A_i \text{ xor } B_i \text{ xor } BORIN_i$   
 $BOR_i = (\text{not}A_i \text{ and } B_i) \text{ or } (BORIN_i \text{ and } (\text{not}A_i \text{ xor } B_i))$

#### 4. Описание на пълен субстрактор на VHDL:

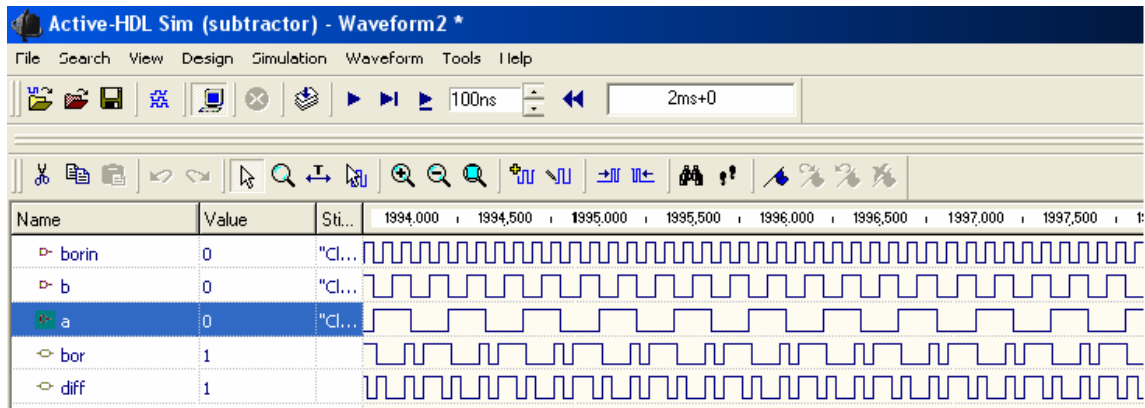
- поведенчески модел:

```
library ieee;  
use ieee.std_logic_1164.all;  
entity fullsubd is port (A,B,BORIN: in BIT;  
                        DIFF,BOR: out BIT);  
end fullsubd;  
architecture dataflow of fullsubd is  
begin  
DIFF<=A xor B xor BORIN;  
BOR<=(( not A) and B) or (BORIN and (not (A xor B)));  
end dataflow;
```

- структурен модел:

```
library ieee;  
use ieee.std_logic_1164.all;  
entity subs is port (A,B,BORIN: in BIT;  
                  DIFF,BOR: out BIT);  
end subs;  
architecture struc of subs is  
component halfsubd  
port (A,B,BORIN: in BIT;  
      DIFF,BOR: out BIT);  
end component;  
component or2bit  
port (A,B: in BIT;  
      C: out BIT);  
end component;  
SIGNAL BOR1,BOR2,DIFF1:BIT;  
begin  
HS1:halfsubd port map (A,B,DIFF1,BOR1);  
HS2:halfsubd port map (DIFF1,BORIN,DIFF,BOR2);  
O1:or2bit port map (BOR1,BOR2,BOR);  
end struc;
```

### 5. Резултати от симулацията на AVTIVE-HDL SIM:



### 6. Използвани ресурси върху програмируемата схема CY37256P160-83AC и закъснения от REPORT файла SUB.rpt:

RESOURCE UTILIZATION (19:11:22)

Information: Macrocell Utilization.

Description	Used	Max
Dedicated Inputs	1	1
Clock/Inputs	2	4
I/O Macrocells	2	128
Buried Macrocells	0	128
PIM Input Connects	3	624
8 / 885 = 0 %		

	Required	Max (Available)
CLOCK/LATCH ENABLE signals	0	20
Input REG/LATCH signals	0	133
Input PIN signals	3	5
Input PINs using I/O cells	0	0
Output PIN signals	2	128
Total PIN signals	5	133
Macrocells Used	2	256
Unique Product Terms	7	1280

**Пример 8. Еднобитов субстрактор**  
**Автори: Силвия Петрова, Галя Маринова, 01.02.2010 г.**

TIMING PATH ANALYSIS (19:11:22) using Package: cy37256p160-83ac  
Messages:

Signal Name	Delay Type	tmax	Path Description
cmb::diff[152] inp::a	tPD	15.0 ns	1 pass
cmb::bor[156] inp::b	tPD	15.0 ns	1 pass

Worst Case Path Summary

tPD = 15.0 ns for diff