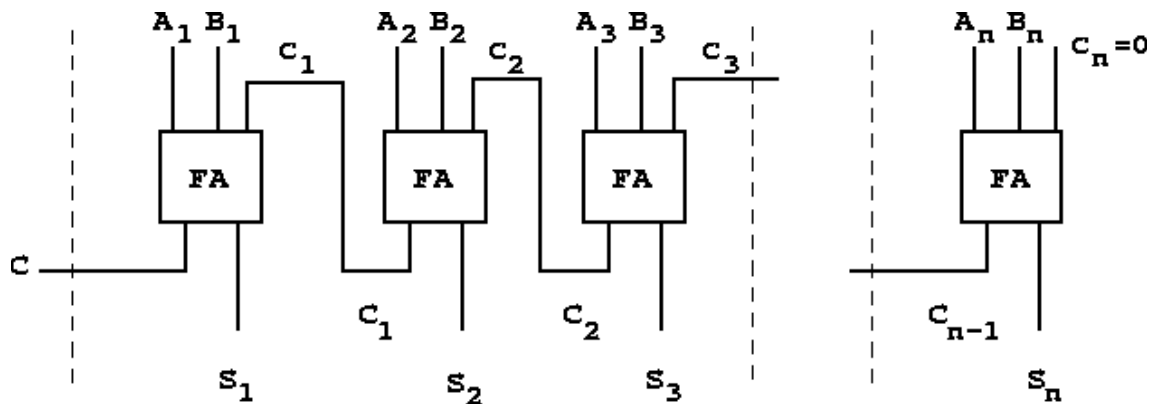


Пример 7. N-битов Суматор описан на VHDL с използване на командата generic

1. Логическа схема на n-битов суматор:



Фиг.1 n-битов суматор

2. Принцип на действие:

N- битовият суматор е логическа схема, която се състои от n пълни суматори и изчислява сбора на две многобитови двоични числа. Всеки отделен пълен суматор е отговорен за събирането на две еднобитови числа, които са част от едно многобитово число, като към тях прибавя и остатъка от предния суматор и така, докато не събере всичките битове на числото. В примера е използван 16-битов суматор – n=16.

3. Таблица на истинност за i-тия еднобитов суматор:

INPUT			OUTPUT	
A _i	B _i	CARRY IN _i	CARRY OUT _i	SUM _{i+1}
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Фиг.2 Таблица на истинност на n-битов суматор

4. Описание на n-битов суматор на VHDL (поведенчески модел):

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
entity adder_n_bit is generic(n: natural :=16);
port( A: in std_logic_vector(n-1 downto 0);
      B: in std_logic_vector(n-1 downto 0);
      carry: out std_logic;
      sum: out std_logic_vector(n-1 downto 0) );
end adder_n_bit;
architecture behv of adder_n_bit is
signal result: std_logic_vector(n downto 0);
begin
result <= ('0' & A)+('0' & B);
sum <= result(n-1 downto 0);
carry <= result(n);
end behv;
    
```

5. Входни сигнали

Signal	Type	binary number	decimal	Hexadecimal
A	Value	1001011110001110	38798	978E
B	Value	1000011110110010	34738	87B2
Sum	Value	10001111101000000	73536	11F40

6. Резултати от симулацията на ACTIVE-HDL SIM:

The screenshot shows the Active-HDL Sim interface for the adder_n_bit entity. The waveform viewer displays the following data:

Name	Value	Sti...
a	978E	<... 978E
b	87B2	<... 87B2
carry	1	
sum	1F40	<1F40

Below the waveform viewer, a port declaration is visible: `port (sum : inout std_logic_vector(15 downto 0))`.

7. Използвани ресурси върху програмируемата схема CY37256P160-83AC и закъснения от репорт файла adder_n_bit.rpt:

RESOURCE UTILIZATION (20:35:07)
 Information: Macrocell Utilization.

Description	Used	Max
Dedicated Inputs	1	1
Clock/Inputs	4	4
I/O Macrocells	21	128
Buried Macrocells	8	128
PIM Input Connects	25	624
		59 / 885 = 6 %

	Required	Max (Available)
CLOCK/LATCH ENABLE signals	0	20
Input REG/LATCH signals	0	133
Input PIN signals	5	5
Input PINs using I/O cells	11	11
Output PIN signals	9	117
Total PIN signals	25	133
Macrocells Used	18	256
Unique Product Terms	83	1280

TIMING PATH ANALYSIS (20:35:07) using Package: cy37256p160-83ac

Messages:

 Signal Name | Delay Type | tmax | Path Description

cmb::sum(3)[23]
 inp::a(0)
 ---->\MODULE_1:g1:a0:g0:g2:u0:ga:g1:ua0\
 tPD 23.5 ns 2 passes

 cmb::carry[27]
 inp::b(4)
 ---->\MODULE_1:g1:a0:g0:g2:u0:ga:t1:ga0(2):gas:u2\
 tPD 26.0 ns 2 passes

 cmb::sum(2)[30]
 inp::a(0)
 ---->\MODULE_1:g1:a0:g0:g2:u0:ga:g1:ua0\

Пример 7. n-битов суматор – описан на VHDL с използване на командата generic
Автори: Силвия Петрова, Галя Маринова, 01.02.2010 г.

```

                                tPD      23.5 ns  2 passes
-----
cmb::sum(5)[103]
inp::a(0)
---->\MODULE_1:g1:a0:g0:g2:u0:ga:g1:ua0\
---->\MODULE_1:g1:a0:g0:g2:u0:ga:t1:ga0(1):u3\
                                tPD      34.5 ns  3 passes
-----
cmb::sum(4)[107]
inp::a(0)
---->\MODULE_1:g1:a0:g0:g2:u0:ga:g1:ua0\
---->\MODULE_1:g1:a0:g0:g2:u0:ga:t1:ga0(1):u3\
                                tPD      34.5 ns  3 passes
-----
cmb::sum(1)[122]
inp::a(0)
                                tPD      12.5 ns  1 pass
-----
cmb::sum(0)[126]
inp::a(0)
                                tPD      12.5 ns  1 pass
-----
cmb::sum(7)[131]
inp::b(4)
---->\MODULE_1:g1:a0:g0:g2:u0:ga:t1:ga0(2):gas:u2\
---->\MODULE_1:g1:a0:g0:g2:u0:ga:t1:ga0(2):u3\
                                tPD      37.0 ns  3 passes
-----
cmb::sum(6)[135]
inp::b(4)
---->\MODULE_1:g1:a0:g0:g2:u0:ga:t1:ga0(2):gas:u2\
---->\MODULE_1:g1:a0:g0:g2:u0:ga:t1:ga0(2):u3\
                                tPD      37.0 ns  3 passes
-----
```

Worst Case Path Summary

```
-----
tPD = 37.0 ns for sum(7)
```