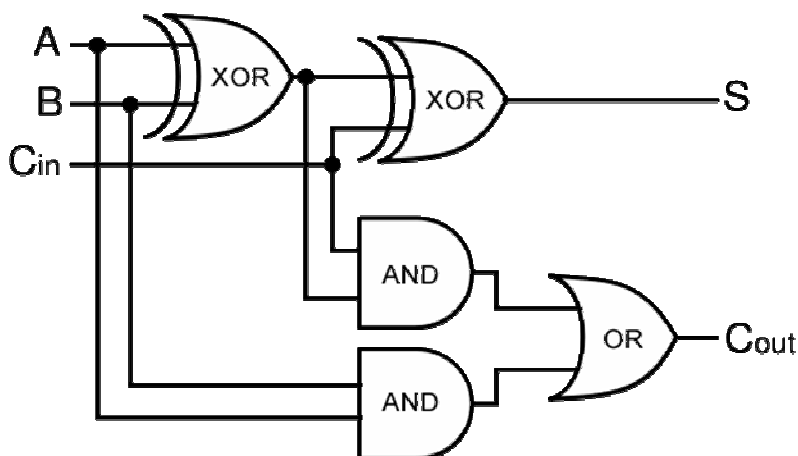


Пример 4. Пълнен еднобитов суматор описан на VHDL с поведенчески и структурен модели

1. Логическа схема на пълнен еднобитов суматор:



Фиг.1 Еднобитов суматор

2. Принцип на действие:

Еднобитовият суматор е логическа схема, която изчислява сумата на три еднобитови двоични числа. Той има три входа (A, B и C_{in}) и два изхода (S и C_{out}). Пълният суматор е като полусуматора, с тази разлика, че има още един вход, остатъчният бит на друг еднобитов пълнен суматор.

3. Таблица на истинност и логически уравнения:

INPUT			OUTPUT	
A	B	CARRY IN	CARRY OUT	SUM
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Фиг.2 Таблица на истинност на 1-битов суматор

Логически уравнения на еднобитовия суматор:

$$\begin{aligned} S &= (A \text{ XOR } B) \text{ XOR } C_{in} \\ C_{out} &= (A \text{ AND } B) \text{ OR } (C_{in} \text{ AND } (A \text{ XOR } B)) = \\ &= (A \text{ AND } B) \text{ OR } (C_{in} \text{ AND } B) \text{ OR } (C_{in} \text{ AND } A) \end{aligned}$$

4. Описание на пълен еднобитов суматор на VHDL:

- поведенчески модел:

```
library ieee;
use ieee.std_logic_1164.all;
entity ADD is port (a, b, k : in std_logic;
                  s, c : out std_logic);
end ADD;
architecture archADD of ADD is
begin
    process (a, b, k)
    begin s<= a xor b xor k;
          c<= (a and b) or ((a xor b) and k);
    end process;
end archADD;
```

- структурен модел, който използва като компонент полусуматор:

```
library ieee;
use ieee.std_logic_1164.all;
use work.elements_lib.all;

entity FullADD is port (x,y,cin : in std_logic;
                    s1, c1 : out std_logic);
end FullADD;

architecture archFullADD of FullADD is
signal s2, c2, c3: std_logic;
begin
HalfADD1: HalfADD port map (x,y,s2,c2);
HalfADD2: HalfADD port map (s2,cin,s1,c3);
c1<=c2 or c3;
end archFullADD;
```

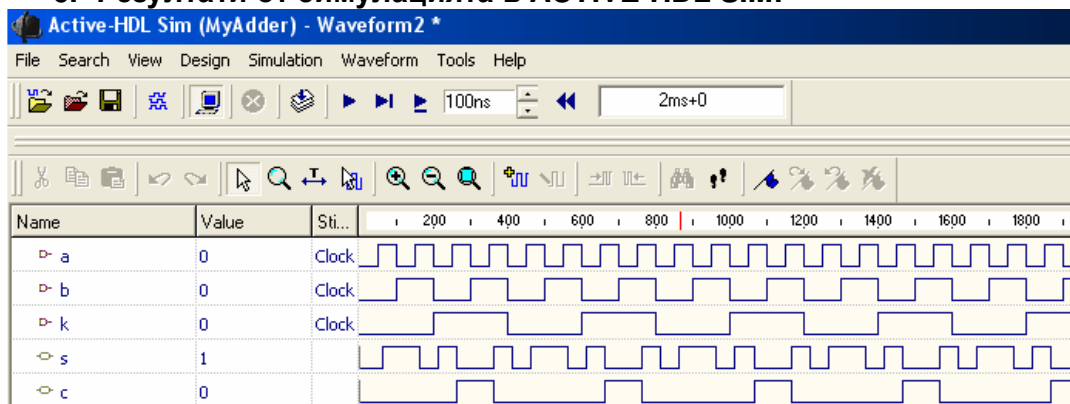
5. Входни сигнали:

Signal	Type	Frequency
a	Clock	10MHz
b	Clock	5MHz
k	Clock	2.5MHz

Пример 4. Пълен еднобитов суматор – описан на VHDL с поведенчески и структурен модели

Автори: Силвия Петрова, Галя Маринова, 01.02.2010 г.

6. Резултати от симулацията в ACTIVE-HDL SIM:



7. Използвани ресурси върху програмируемата схема CY37256P160-83AC и закъснения от REPORT файла FullADD.rpt:

RESOURCE UTILIZATION (15:00:14)

Information: Macrocell Utilization.

Description	Used	Max
-------------	------	-----

Dedicated Inputs	1	1
Clock/Inputs	2	4
I/O Macrocells	2	128
Buried Macrocells	0	128
PIM Input Connects	3	624

8 / 885 = 0 %

	Required	Max (Available)
--	----------	-----------------

CLOCK/LATCH ENABLE signals	0	20
Input REG/LATCH signals	0	133
Input PIN signals	3	5
Input PINs using I/O cells	0	0
Output PIN signals	2	128
Total PIN signals	5	133
Macrocells Used	2	256
Unique Product Terms	6	1280

TIMING PATH ANALYSIS (15:00:14) using Package: cy37256p160-83ac

Messages:

Signal Name	Delay Type	tmax	Path Description
-------------	------------	------	------------------

cmb::s[152]

inp::a

tPD	15.0 ns	1 pass
-----	---------	--------

cmb::c[156]

inp::a

tPD	15.0 ns	1 pass
-----	---------	--------

Worst Case Path Summary

tPD = 15.0 ns for s