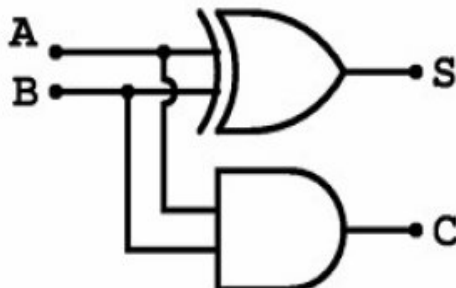


Пример 3. Полусуматор – описан на VHDL с поведенчески и структурен модели

1. Логическа схема на полусуматор:



Фиг.1 Полусуматор

2. Принцип на действие:

Полусуматорът е логическа схема, която изчислява сумата на две еднобитови двоични числа. Той има два входа A и B и два изхода S и C. Имаме нужда от два изхода вместо един, защото сумата може да има преносен бит. Например ако събираме 0+1 получаваме еднобитов резултат. Но ако събираме 1+1 резултатът е 10, двубитово число. В този случай имаме нужда от преносен бит на изхода. Т.е. изходните данни на полусуматора са сумата от две еднобитови числа и преноса им.

Полусуматорът може да бъде използван като компонент за изграждане на пълен суматор.

3. Таблица на истинност и логически уравнения:

A	B	SUM	CARRY
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S=A \text{ XOR } B$$

$$C=A \text{ AND } B$$

Фиг.2 Таблица на истинност на полусуматор

4. Описание на полусуматор на VHDL.

Предложени са две описания със поведенчески и структурен модел. Като градивен елемент на полусуматора при структурния модел е използван XOR елемент:

- **поведенчески модел (data flow model):**

```
library ieee;  
use ieee.std_logic_1164.all;  
entity HalfADD is port (a, b : in std_logic;  
                       s, c : out std_logic);  
end HalfADD;  
architecture archHalfADD of HalfADD is  
begin  
    process (a, b)  
        begin s<= a xor b;  
              c<= a and b;  
        end process;  
end archHalfADD;
```

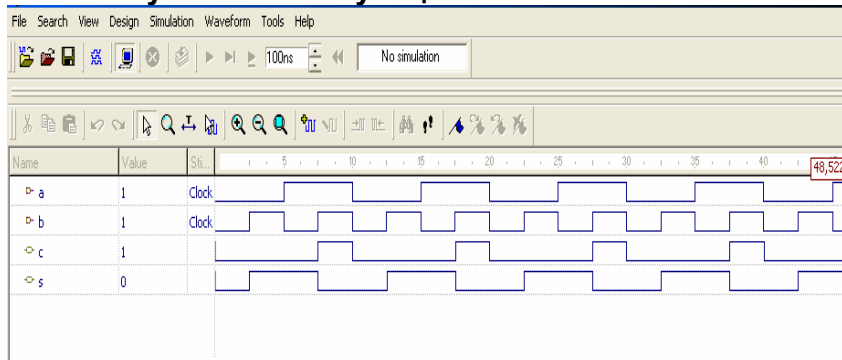
- **структурен модел, ползващ компонента XOR:**

```
library ieee;  
use ieee.std_logic_1164.all;  
  
entity xor2 is  
port ( a,b : in std_logic;  
      q  : out std_logic);  
end xor2;  
architecture arch_xor2 of xor2 is  
begin  
    Q<=(A xor B);  
end arch_xor2;  
  
library ieee;  
use ieee.std_logic_1164.all;  
entity HalfADD is port (a, b : in std_logic;  
                       s, c : out std_logic);  
end HalfADD;  
  
architecture struct of HalfADD is  
  
    component xor2  
    port (a,b: in std_logic; q: out std_logic);  
end component;  
  
begin  
    X1: xor2 port map (a, b, s);  
    c<= a and b;  
end struct;
```

5. Входни сигнали:

Signal	Type	Frequency
A	clock	10MHz
B	clock	5MHz

6. Резултати от симулацията в ACTIVE-HDL SIM:



7. Използвани ресурси върху програмируемата схема CY37256P160-83A и закъснения от REPORT файла HalfADD.rpt:

RESOURCE UTILIZATION (15:23:08)

Information: Macrocell Utilization.

Description	Used	Max
Dedicated Inputs	0	1
Clock/Inputs	2	4
I/O Macrocells	2	160
Buried Macrocells	0	96
PIM Input Connects	2	624
		6 / 885 = 0 %

	Required	Max (Available)
CLOCK/LATCH ENABLE signals	0	20
Input REG/LATCH signals	0	101
Input PIN signals	2	5
Input PINs using I/O cells	0	0
Output PIN signals	2	160
Total PIN signals	4	165
Macrocells Used	2	256
Unique Product Terms	3	1280

TIMING PATH ANALYSIS (15:23:08) using Package: cy37256p160-83ac

Messages:

 Signal Name | Delay Type | tmax | Path Description

cmb::s[196]

inp::a

tPD 7.5 ns 1 pass

Пример 3. Полусуматор – описан на VHDL с поведенчески и структурен модели
Автори: Силвия Петрова, Галя Маринова, 31.01.2010 г.

cmb::c[206]
inp::a

tPD 7.5 ns 1 pass

Worst Case Path Summary

tPD = 7.5 ns for s