

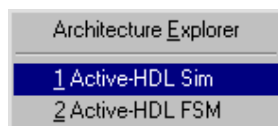
Пример 3: Проектиране и реализация върху схема Ultra37000 на демултиплексор описан на VHDL в Средата за тестване и верификация на комуникационни схеми
Автори: Мария Дамянова, Галя Маринова, 20.09.2009 г.

3.2.) Симулиране на поведението на проекта demultiplexor в симулатора Active-HDL Sim

Описани са подробно стъпките на симулацията на демултиплексора.

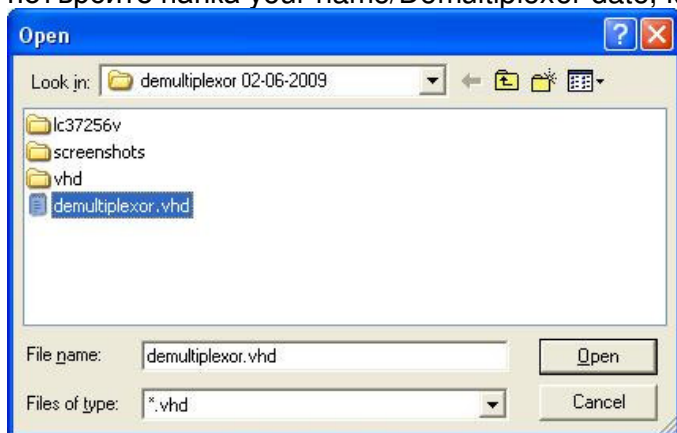
3.2.1. Стартиране на симулатора Active-HDL Sim

=> Стартирайте Active-HDL Sim като изберете **Tools -> Active-HDL Sim**.



Фигура 19 Избиране на Tools -> Active-HDL Sim

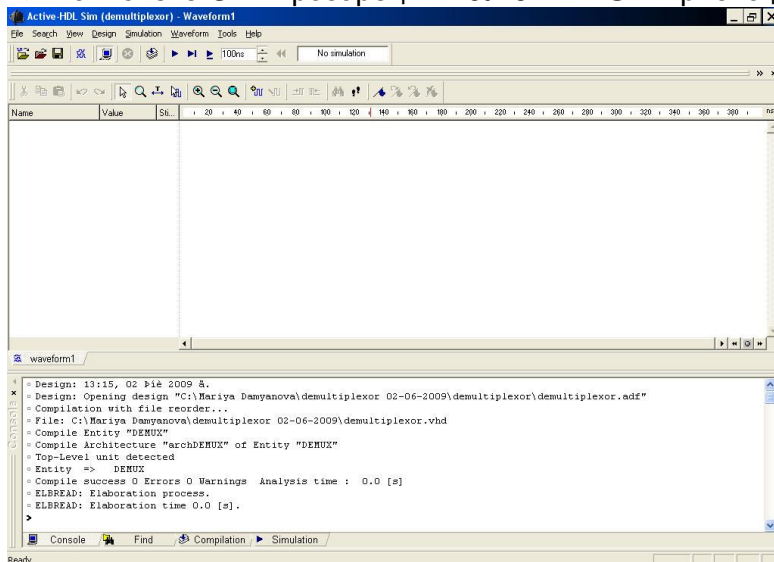
=> Отворете файла demultiplexor.vhd file като изберете File -> Open VHDL и потърсите папка your name/Demultiplexor date, както е показано на фиг.20



Фигура 20 Намиране на demultiplexor.vhd файла.

=> Натиснете **demultiplexor.vhd**.

=> Натиснете **OK**. Прозорецът Active-HDL Sim трябва да прилича на фигура 21.



Пример 3: Проектиране и реализация върху схема Ultra37000 на демултиплексор описан на VHDL в Средата за тестване и верификация на комуникационни схеми
Автори: Мария Дамянова, Галя Маринова, 20.09.2009 г.

Фигура 21 Първоначалният прозорец Active-HDL Sim за demultiplexor.vhd.

3.2.2. Задаване на входните източници и сигналите за изчертаване върху времедиаграмата

=> Изберете **Waveform -> Add Signals**.

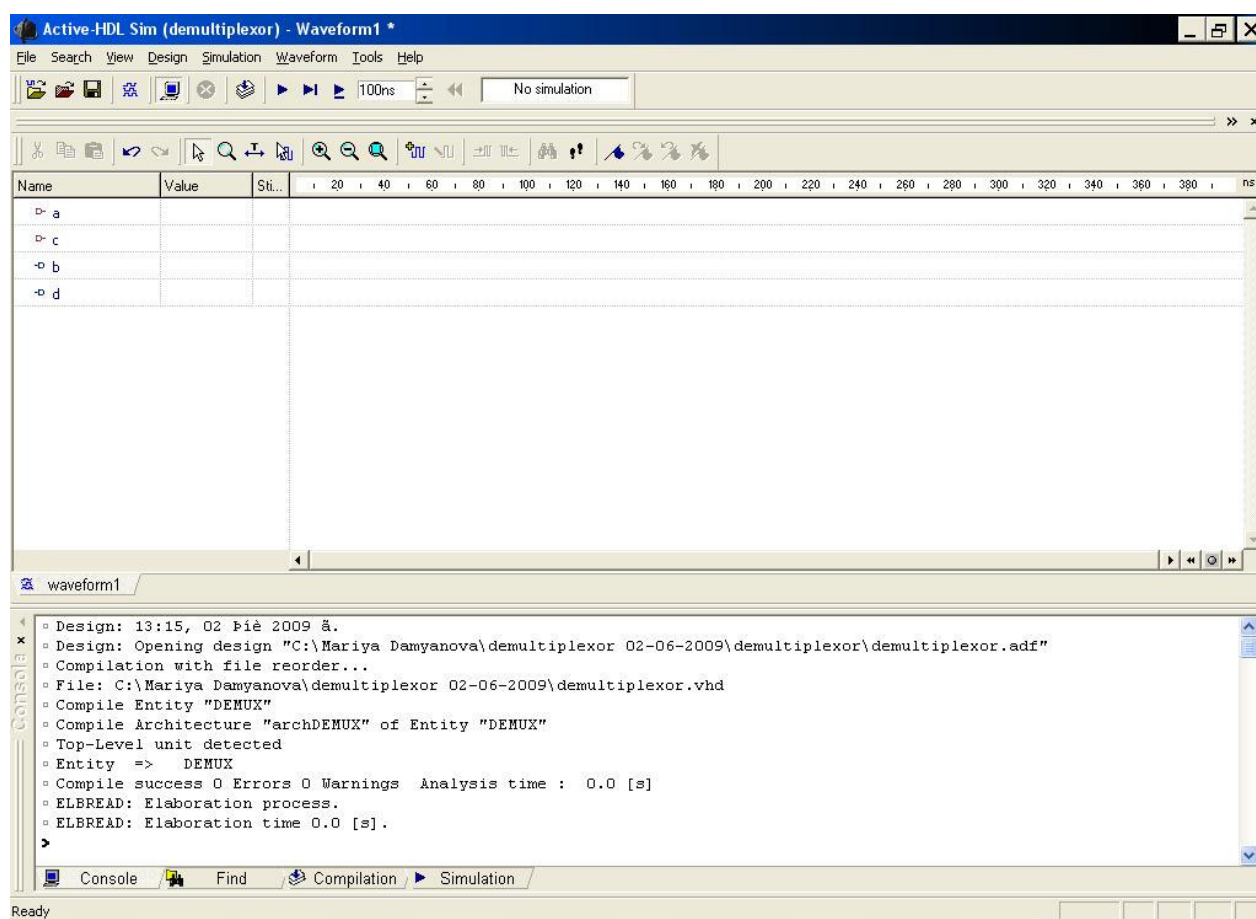
=> Натиснете два пъти следните сигнали, за да ги добавите към Вашата нова времедиаграма в следната последователност:

a, c, b, d.

⇒ Натиснете **Add**.

Забележка – Сигналите в лявата част на диалоговия прозорец Add Signals dialog box ще са различни в зависимост от избраните пакет и уред.

Времедиаграмата трябва да изглежда като на фиг.22.



Фигура 22 Нова времедиаграма с добавени сигнали.

3.2.3. Задаване на параметрите на източниците (Stimulus Signal)

Пример 3: Проектиране и реализация върху схема Ultra37000 на демултиплексор описан на VHDL в Средата за тестване и верификация на комуникационни схеми
Автори: Мария Дамянова, Галя Маринова, 20.09.2009 г.

Трябва да определите параметрите на следните входни сигнали за симулацията: *a* , *c*.

Нагласете сигнала *a* за равно разпределени, редуващи се високи и ниски стойности.

=> Изберете сигнала *a* в лявата част на прозореца waveform.

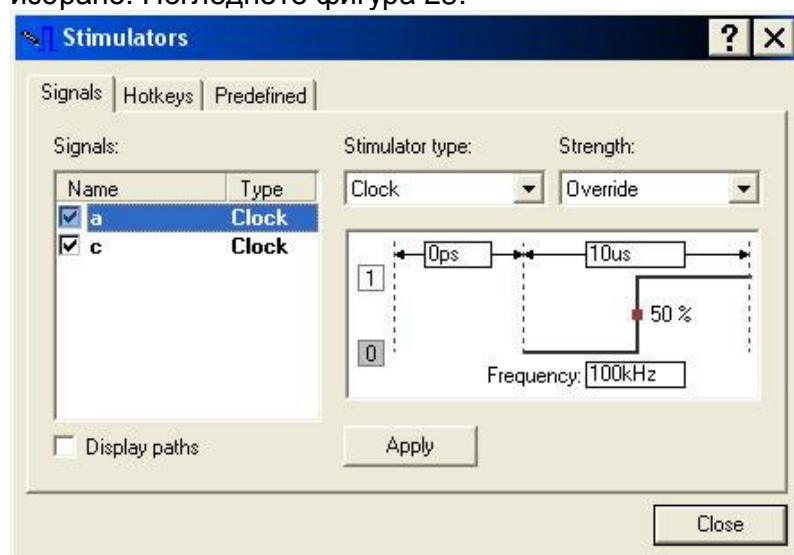
=> Задръжте бутона Ctrl, докато избирате *c*.

=> Натиснете с десен бутон и изберете опцията **Stimulators**.

=> Натиснете *a* в рамката **Signals frame**.

=> Изберете “**Clock**” като **Stimulator type** от менюто.

=> Във времевата диаграма натиснете върху една от левите страни на подпрозореца. Полето с 1 трябва да стане светло сиво, за да индикира, че е избрано. Погледнете фигура 23.



Фигура 23 Времева диаграма, 1 е избрано.

=> Натиснете бутона **Apply**.

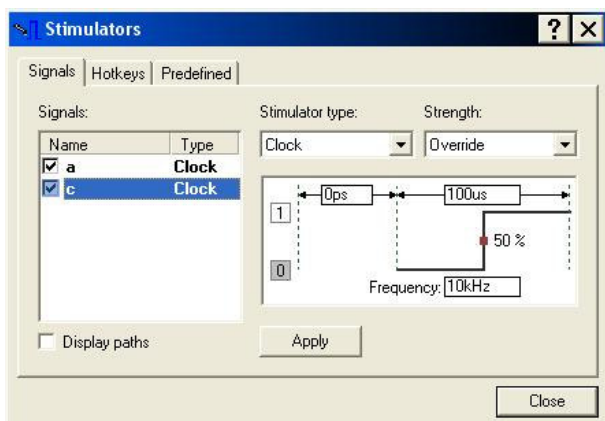
Нагласете сигнала *c* за равно разпределени, редуващи се високи и ниски стойности, като честотата на *c* е по-ниска от тази на *a*.

=> Изберете сигнала *c* от подпрозореца **Signals**.

=> Изберете “**Clock**” като Stimulator type от менюто.

=> Във времевата диаграма натиснете върху една от левите страни на подпрозореца. Полето с 0 трябва да стане светло сиво, за да индикира, че е избрано. Погледнете фигура 24.

Пример 3: Проектиране и реализация върху схема Ultra37000 на демултиплексор описан на VHDL в Средата за тестване и верификация на комуникационни схеми
Автори: Мария Дамянова, Галя Маринова, 20.09.2009 г.



Фигура 24 Времева диаграма за c, 1 е избрано.

=> Натиснете бутона **Apply**.

Когато е завършено, резултатът трябва да изглежда като фигура 24.

3.2.4. Стартиране на симулацията

=> За да симулирате проекта, натиснете менюто до полето 100ns на лентата с инструменти и натиснете бутона **Run For**.

Забележка – За да реинициализирате симулацията, натиснете бутона Restart Simulation

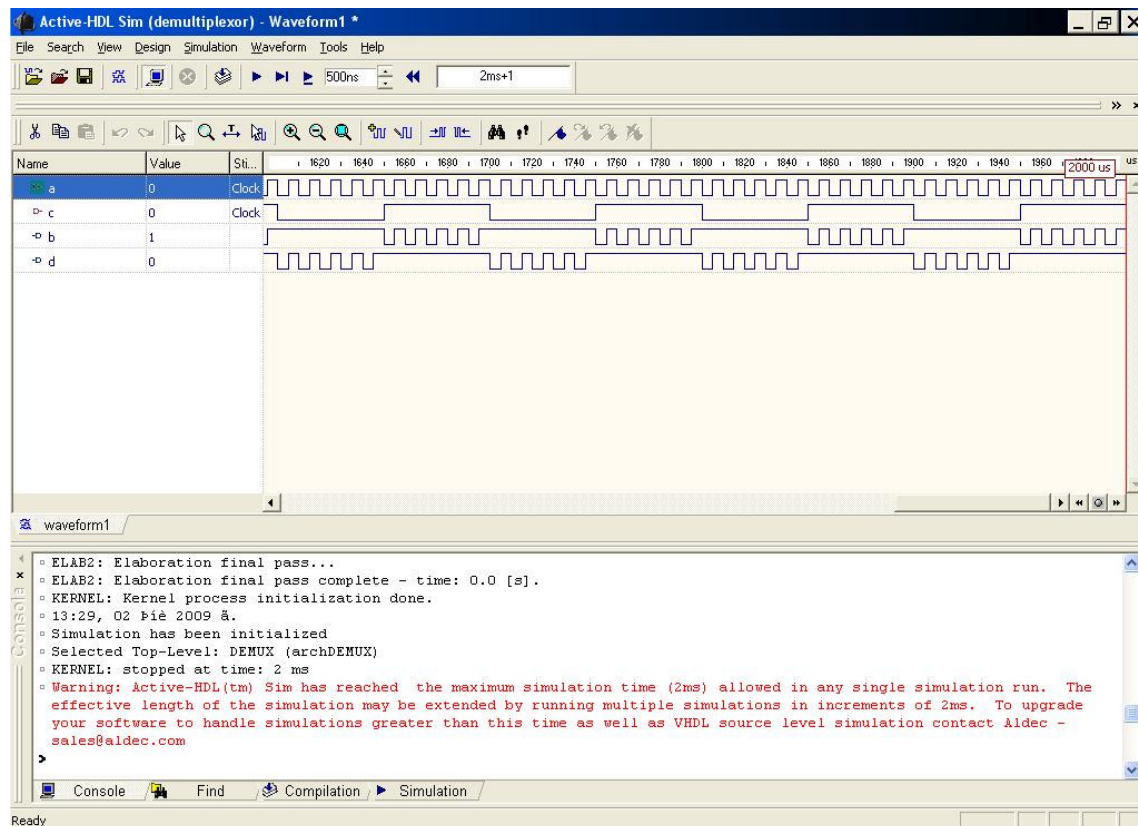
на лентата с инструменти или го изберете от менюто **Simulation -> Restart Simulation**

и изберете **Waveforms -> Clear all Waveforms**.

Забележка – Може да искате да промените резолюцията на монитора, за да вместите всички дейности по функциите на един екран. Изберете View -> Zoom -> Out.

Резултатите трябва да изглеждат подобно на фигура 25:

Пример 3: Проектиране и реализация върху схема Ultra37000 на демултиплексор описан на VHDL в Средата за тестване и верификация на комуникационни схеми
Автори: Мария Дамянова, Галя Маринова, 20.09.2009 г.



Фигура 25 Резултати от симулацията на demultiplexor.vhd в Active-HDL Sim

Анализът на резултата от симулацията показва, че поведението на симулацията отговаря на зададения модел. Когато управляващият сигнал *c* има стойност 1, тогава изходният сигнал *b* присвоява сигнала *c*. В противен случай сигналът *d* приема стойността на *c*.