3.2.) Симулиране на поведението на проекта demultiplexor в симулатора Active-HDL Sim

Описани са подробно стъпките на симулацията на демултиплексора.

3.2.1. Стартиране на симулатора Active-HDL Sim

=> Стартирайте Active-HDL Sim като изберете Tools -> Active-HDL Sim.



Фигура 19 Избиране на Tools -> Active-HDL Sim

=> Отворете файла demultiplexor.vhd file като изберете File -> Open VHDL и потърсите папка your name/Demultiplexor date, както е показано на фиг.20

Open			? 🛛
Look jn: 🧰) demultiplexor 02-06-2009	• •) 🏕 🎆 •
C37256v screensho vhd	ts xor.vhd		
File <u>n</u> ame:	demultiplexor.vhd		<u>O</u> pen
Files of <u>type</u> :	.vhd		Cancel

Фигура 20 Намиране на demultiplexor.vhd файла.

=> Натиснете **demultiplexor.vhd**.

=> Натиснете **ОК**. Прозорецът Active-HDL Sim трябва да прилича на фигура 21.



Фигура 21 Първоначалният прозорец Active-HDL Sim за demultiplexor.vhd. **3.2.2. Задаване на входните източници и сигналите за изчертаване** върху времедиаграмата

=> Изберете Waveform -> Add Signals.

=> Натиснете два пъти следните сигнали, за да ги добавите към Вашата нова времедиаграма в следната последователност:

a, c, b, d.

⇒ Натиснете **Add**.

Забележка – Сигналите в лявата част на диалоговия прозорец Add Signals dialog box ще са различни в зависимост от избраните пакет и уред.

🌰 Active-HDL Sim (demultiplexor) - Waveform1 * - X File Search View Design Simulation Waveform Tools Help 🚰 🚔 🔜 🏽 🧱 📃 🐼 😂 🕨 🕨 ೬ 100ns 🕂 📢 No simulation » × · 20 · 40 · 60 · 80 · 100 · 120 · 140 · 160 · 180 · 200 · 220 · 240 · 260 · 280 · 300 · 320 · 340 · 360 · 380 · ns Name Value Sti. D- a D- C -0 Ь -• d **+** + O H 🕱 waveform1 Design: 13:15, 02 Þíè 2009 ã. Design: Opening design "C:\Mariya Damyanova\demultiplexor 02-06-2009\demultiplexor\demultiplexor.adf" Compilation with file reorder.. • File: C:\Mariya Damyanova\demultiplexor 02-06-2009\demultiplexor.vhd · Compile Entity "DEMUX" Compile Architecture "archDEMUX" of Entity "DEMUX" • Top-Level unit detected • Entity => DEMUX • Compile success O Errors O Warnings Analysis time : 0.0 [s] ELBREAD: Elaboration process. ELBREAD: Elaboration time 0.0 [s]. Console / 🙀 Find / 🥩 Compilation / 🕨 Simulation / Ready

Времедиаграмата трябва да изглежда като на фиг.22.

Фигура 22 Нова времедиаграма с добавени сигнали.

3.2.3. Задаване на параметрите на източниците (Stimulus Signal)

Трябва да определите параметрите на следните входни сигнали за симулацията: а , с.

Нагласете сигнала а за равно разпределени, редуващи се високи и ниски стойности.

=> Изберете сигнала а в лявата част на прозореца waveform.

- => Задръжте бутона Ctrl, докато избирате с.
- => Натиснете с десен бутон и изберете опцията Stimulators.
- => Натиснете а в рамката Signals frame.
- => Изберете "Clock" като Stimulator type от менюто.

=> Във времевата диаграма натиснете върху една от левите страни на подпрозореца. Полето с 1 трябва да стане светло сиво, за да индикира, че е избрано. Погледнете фигура 23.

Signals:		Stimulator type:	Strength:
Name Va C	Type Clock Clock	Clock	
		1 0 Fre	uency: 100kHz
_ Display path	-	Applu	

Фигура 23 Времева диаграма, 1 е избрано.

=> Натиснете бутона **Apply**.

Нагласете сигнала с за равно разпределени, редуващи се високи и ниски стойности, като честотата на с е по-ниска от тази на а.

=> Изберете сигнала с от подпрозореца Signals.

=> Изберете "Clock" като Stimulator type от менюто.

=> Във времевата диаграма натиснете върху една от левите страни на подпрозореца. Полето с 0 трябва да стане светло сиво, за да индикира, че е избрано. Погледнете фигура 24.

Signals:		Stimulator type:	Strength:	
Name 🔽 a	Type Clock	Clock	Override	-
C C	Clock	Ops	•• 100us	•
			• 50 %	
		Fre	quency: 10kHz	

Фигура 24 Времева диаграма за с, 1 е избрано.

=> Натиснете бутона **Арріу**.

Когато е завършено, резултатът трябва да изглежда като фигура 24.

3.2.4. Стартиране на симулацията

=> За да симулирате проекта, натиснете менюто до полето 100ns на лентата с инструменти и натиснете бутона **Run For**.

Забележка – За да реинициализирате симулацията, натиснете бутона Restart Simulation

на лентата с инструменти или го изберете от менюто Simulation -> Restart Simulation

и изберете Waveforms -> Clear all Waveforms.

Забележка – Може да искате да промените резолюцията на монитора, за да вместите всички дейности по функциите на един екран. Изберете View -> Zoom -> Out.

Резултатите трябва да изглеждат подобно на фигура 25:

🌰 Active-H	DL Sim (demulti	plexor) - Wavefor	m1 *						_ 8 ×
Eile Search	<u>View D</u> esign Simu	lation <u>W</u> aveform]	ools <u>H</u> elp						
			500ns 📥 📢	2ms+1					
	1 📾 🔶	× 1 × × +							
V Do m					0.00 .00				<i>"</i> *
& 40 H0	1 50 04 11 18 0			i⊑] 848 ŝi] ∕∳	16 16 18				
Name	Value	Sti 162	0 1 1640 1 1660 1 1690	1700 1720 17	40 1 1760 1 1780	1 1800 1 1820 1	1840 1 1860 1 188	0 1900 1920 1	1940 1960 2000 us us
* a	0								
D- C	0	Clock							
-0 b	1								
⊸ d	0								
		•							
🕱 waveforn	n1 /							-	
<pre>* • ELAB2 * • ELAB2 * • ELAB2 • KERNE • Simul • Selec: • KERNE • Varni effec: your sales ></pre>	Elaboration: Elaboration L: Kernel pro Jos Þið 2005 ation has bee ted Top-Leve: L: stopped at mg: Active-HH tive length of software to h Galdec.com	h final pass h final pass o poess initiali) ä. en initialized 1: DEMUX (arch t time: 2 ms U(tm) Sim has of the simulat handle simulat	complete - time: zation done. DEMUX) reached the r ion may be exte ions greater th	: 0.0 [s]. meximum simul ended by runn: man this time	tion time .ng multipl as well as	(2ms) allows = simulatior VHDL source	d in any sir s in increme : level simul	ngle simulati ents of 2ms. Lation contact	on run. The To upgrade t Aldec -
📃 Con	isole /🏭 Fi	ind 🛛 🤣 Compi	lation) 🕨 Simulatio	on /					
Ready				unanad .					

Фигура 25 Резултати от симулацията на demultiplexor.vhd в Active-HDL Sim

Анализът на резултата от симулацията показва, че поведението на симулацията отговаря на зададения модел. Когато управляващият сигнал с има стойност 1, тогава изходният сигнал b присвоява сигнала с. В противен случай сигналът d приема стойността на с.