3.1.) Създаване на нов проект demultiplexor и нов файл demultiplexor.vhd в текстовия редактор Galaxy

Стартирайте текстовия редактор Galaxy, използвайки опциите :

Start > Programs > WARP > Galaxy

3.1.1. Създаване на нов проект demultiplexor

Създайте нов проект, използвайки опциите :

File > New > Project (Target-Device) > OK

2 🛛
ОК
Cancel

Фигура 1

Попълнете исканата информация в прозореца Project information (фигура 2):

```
Project Type: VHDL
Project Name: demultiplexor
Project Path: C:\Mariya Damyanova\demultiplexor 02-06-2009
```

Туре		
HDL Jame:	C Verilog	
°ath: va Damyanova\di	emultiplexor 02-06-200	Browse
	lame: lexor Path: va Damyanova\d	lame: lexor Path: va Damyanova\demultiplexor 02-06-200

Фигура 2 Диалогов прозорец Project information

За да продължите натиснете бутона Next.

Попълнете исканата информация в прозореца Add files to project

Можете да добавите предварително създаден файл, използвайки опциите :

- Натиснете бутона Browse
- Намерете и изберете желания файл
- Натиснете бутона Add
- За да продължите, натиснете бутона Next

Ако нямате файл, който да добавите, натиснете директно бутона **Next**. Попълнете исканата информация в прозореца **Select target device**

Ако използвате печатната платка CYPRESS ISR, програмируемата схема CPLD, инсталирана на платката може да бъде посочена директно, използайки опциите:

ULTRA 37000 > C37256V > CY37256VP160-66AC

Информацията, отнасяща се до CPLD е визуализирана в долната част на прозореца, както е показано на фигура 3.

Тогава CPLD, пакетът, типът, броят на макроклетките и максималната честота се дефинират.

Device:		Package:	
- c37384 - c37512 - c37032v - c37064v - c37128v - c37128v - c37192v - c37256v - c37384v - c37512v ⊡ Flash 370I Device/package: c37256v, CY3	₹7256VP160-	CY37256VP160-100AC CY37256VP160-66AC CY37256VP160-66AI CY37256VP160-66AI CY37256VP208-100NC CY37256VP208-66NC CY37256VP208-66NI CY37256VP208-66NI CY37256VP256-100BGC CY37256VP256-66BGC CY37256VP256-66BGC CY37256VP256-100BBC CY37256VP256-66BBC	
In-System Reprogrammable [1M] Number of macrocells = 256 Lead Thin Plastic Quad Flat Pac fmax = 66MHZ, Temp Range:Co	k k	to +70 C)	

Фигура 3 Избиране на CPLD

За да излезете от този прозорец, натиснете бутона Finish.

Потвърдете съхраняването на проекта, като натиснете Yes. (виж фигура 4)

Galaxy			
2	Do you want to	save the new	project?
[Yes	No	

Фигура 4 Съхраняване на проекта

3.1.2. Създаване на нов файл в проект

Създайте нов файл, използвайки опциите:

File >	New	> T	ext	File

? 🛛
ОК
Cancel

Фигура 5 Създаване на нов файл

Прозорецът за редактиране на файла става активен и на първия ред се появява етикета 1, както е показано на фигура 6.

😤 demultiplexor [Device - CY37256VP160-66AC] - Galaxy - [Untitled1]	. 6 🛛
File Edit View Format Project Compile Templates Bookmarks Tools Window Help	_ & ×
D 26 8 27 3 18 18 29 4 14 15 15 15 15 1 + + 9 2 15 6 7 18 0 1 2	
E Source Files - Project demulpipeson	14
	<u>×</u>
Compiler / Errors & Warnings & Search in Files /	<u>ب</u>
Ready Line 1 Col 1	

Фигура 6 Прозорец на VHDL редактора

Запаметете новия файл, използвайки опциите:

File > Save

Попълнете исканата информация, както е показано на фигура 7. Задайте име на файла: demultiplexor.vhd



Фигура 7 Запаметяване на новия файл

Добавете новосъздадения файл към проекта, използвайки опциите:

Add Files To Project		? 🛛
Files in the Project directory: demultiplexor.vhd	Add Remove	Files to be added to the Project: demultiplexor.vhd
Add files by copying files from other o		Browse

Фигура 8 Прозореца Add Files To Project

Въведете програмния код във файла, както е указано на фигура 9



Фигура 9 Добавеният към проекта файл demultiplexor.vhd с въведен код

3.1.3. Компилиране на проекта

Изберете опциите на компилатора:

Project > Compiler options

Препоръчаните опции са дадени на фигура10.



Фигура 10 Диалогов прозорец Compiler Options

Изборът на опции съвпада с посочения в пример1.

За VHDL файловете е много важно да се провери опцията, която е свързана с обновения стандарт за VHDL:

Compiler options > Synthesis > Simulation > Timing model : 1164/VHDL.

След като необходимият VHDL файл е добавен към проекта, може да бъде избран top level файл. Само top-level файлове са действително синтезирани и в проекта е позволен само един top-level файл. => Натиснете demultiplexor.vhd.

=> Изберете **Project -> Set Top** или натиснете бутона Set Top, достъпен от project toolbar.

=> След като top-level файл е избран, файловият символ в йерархията ще има символ за йерархия.



Фигура 11 След избиране на top-level файл

Забележка – За да изберете top level файл, файлът трябва да бъде избран в подпрозореца Project

Изберете главния файл на проекта и компилирайте, използвайки опциите:

Compile > Selected files (виж фиг. 12)



Фигура 12 Компилиране на файла demultiplexor.vhd

След това компилирайте и проекта, използвайки опцията:

Compile > Project



Фигура 13 Компилираният проект

Warp започва компилацията и синтеза на проекта върху схемата СY7C37256 и извежда съобщения, за да Ви информира за напредъка в подпрозореца за резултати.

Ако компилацията е успешна, ще получите съобщение:

Compilation successful.

в долната част на прозореца, както е показано на фигура 13.

Ако има грешки, кодът трябва да бъде коригиран, докато не се появи **Compilation successful.**

в последните редове на доклада от компилацията.

От таба **Sources**, избирайки **archDemux** с двоен клик, можете да видите архитектурата на демултиплексора. Виж фиг. 14.



Фигура 14 Избиране на archDemux



Фигура 14 Маркиране на архитектурата на демултиплексора

3.1.4. Файлове, създадени по време на компилацията

За да видите изходните файлове, натиснете таба **Output**, както е показано на фиг.16.



Фигура 16 Изходни файлове (Output files)

Компилирането генерира два файла от особен интерес:

• demultiplexor.jed: използва се за програмиране на схемата СY37256.

• demultiplexor.rpt: съдържа изходна (pinout) и времева (timing) информация, заедно с друга информация относно финалния синтезиран проект. Можете да видите .rpt файла и изходните файлове, създадени от Warp като натиснете таба изглед на картина (output view) от подпрозореца Project.

Различни секции от report файл-а могат да бъдат достигнати като натиснете знака плюс и изберете наличните секции.

Има важна информация във файла .rpt, като например:

- Логическите уравнения на изходните сигнали (Design Equations)

- Номерата на изводите и присвоените им сигнали, например 19:с, 22:а, 51:d, 143:b, т.е. сигналът с се присвоява на порт 19 и т.н.

- Времената на предаване (propagation times)

- Процент на заета площ в макроклетките и програмируемата матрица на връзките, която е зададена по логически блокове, например: 2/52=3% зает ресурс в логическия блок А.

- Обобщена информация за използваните ресурси от всички блокове. Например: използвани са 2 тактови генератора от 4 налични, 2 времеви макроклетки от 128 налични и 2 връзки в програмируемата матрица от 624 възможни. Използвани са 2 макроклетки от 256 възможни.

Забележка – Ако се появи грешка при компилирането, убедете се, че текстът на Вашия файл demultiplexor.vhd е въведен **точно** както е показано по-рано в тази глава -- или копирайте файла от <warp path>\examples\your name\vhdl directory – и после стартирайте Warp отново.

Ако грешки се появят в подпрозореца за резултат:

=> Натиснете таба *Errors and Warnings*, намиращ се отдолу на прозореца за резултати Galaxy output.

=> Натиснете два пъти върху съобщението за грешка, за да го изберете.

=> Отидете в прозореца за редактиране VHDL editor window. Курсорът трябва да се намира на реда, който е предизвикал грешката. Използвайте бутоните за грешка Next и Previous, за да локализирате други грешки.