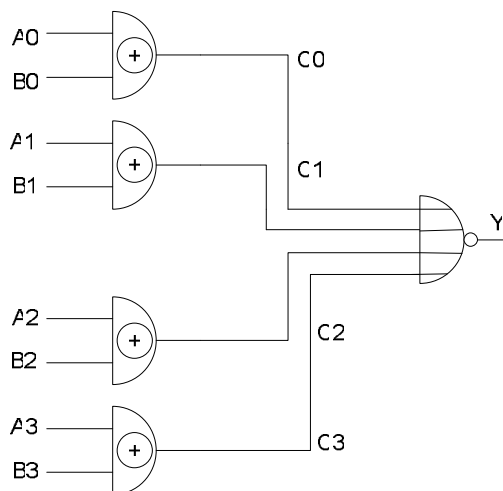


Пример 2. Компаратор

1. Логическа схема на компаратор:



Фиг.1 4-битов компаратор

2. Принцип на действие:

Цифровите компаратори представляват комбинационни логически схеми, чрез които се получава информация за стойностното съотношение на две числа. От таблицата на истинност на логически елемент – изключващо ИЛИ (полу-суматор) се вижда, че когато на двата му входа постъпват различни логически нива, изходният му сигнал е с ниво лог. „0”, а когато те са равни – лог. „1”. Получените сигнали C0, C1, C2, C3 се обединяват в сигнала Y. При равенство A=B, сигнала Y=1.

3. Описание на 4-битов компаратор на VHDL:

- Поведенчески модел (последователни изрази в процес)

```
library ieee ;
use ieee.std_logic_1164.all ;
entity My4bitComparator is
  port (a, b: in bit_vector (3 downto 0);
        a_eq_b: out bit);
end My4bitComparator;
architecture arch of My4bitComparator is
begin
  comp: process (a,b)
  begin
    if a=b then
      a_eq_b <='1';
    else
      a_eq_b <= '0';
    end if;
  end process comp;
end arch;
```

- **Поведенчески модел без процес**

```
library ieee ;
use ieee.std_logic_1164.all ;

entity comp2 is
  port (a, b: in bit_vector (3 downto 0);
        a_eq_b: out bit);
end comp2;

architecture arch of comp2 is
begin
  a_eq_b <='1'when (a=b) else '0';
end arch;
```

- **Поведенчески модел с булеви изрази:**

```
library ieee ;
use ieee.std_logic_1164.all ;

entity comp3 is
  port (a, b: in bit_vector (3 downto 0);
        a_eq_b: out bit);
end comp3;

architecture arch of comp3 is
begin
  a_eq_b <=NOT (
    (a(0) XOR b(0)) OR
    (a(1) XOR b(1)) OR
    (a(2) XOR b(2)) OR
    (a(3) XOR b(3)));
end arch;
```

- Структурен модел:

```
library ieee;
use ieee.std_logic_1164.all;

entity xor2 is
port ( a,b : in bit;
      q  : out bit);
      end xor2;
architecture arch_xor2 of xor2 is
begin
  Q<=(A xor B);
end arch_xor2;

library ieee;
use ieee.std_logic_1164.all;

entity NOR4 is
port(  a,b,c,d: in bit;
      qn: out bit);
end NOR4;

architecture behv2 of NOR4 is
begin
  qn <= not ( a or b or c or d);
end behv2;

library ieee ;
use ieee.std_logic_1164.all ;

entity comp4 is
port (a, b: in bit_vector (3 downto 0);
      a_eq_b: out bit);
end comp4;

architecture arch of comp4 is
signal c: bit_vector (0 to 3);

begin
  x0: xor2 port map (a(0), b(0), c(0));
  x1: xor2 port map (a(1), b(1), c(1));
  x2: xor2 port map (a(2), b(2), c(2));
  x3: xor2 port map (a(3), b(3), c(3));

  a1: nor4 port map (c(0), c(1), c(2), c(3), a_eq_b);

end arch;
```

Пример 2. Компаратор описан на VHDL по 4 различни начина
 Автори: Силвия Петрова, Галя Маринова, 04.10.2009 г.

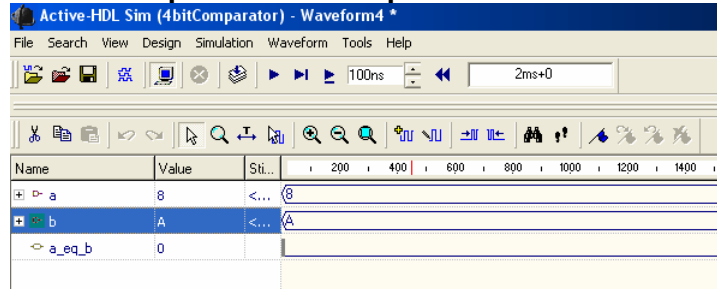
4. Входни данни:

Signal	Type	Value
a	Value	1000/1000
b	Value	1000/1010

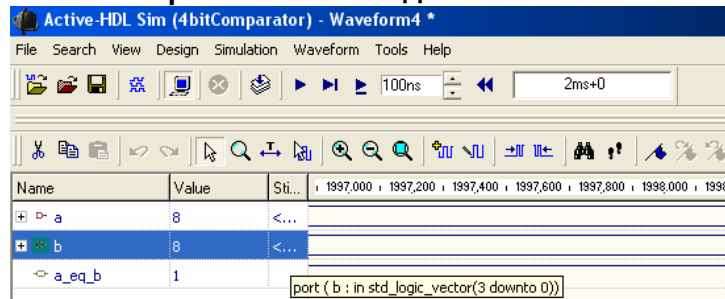
5. Резултати от симулацията:

а. на поведенческия модел с последователни изрази

Сравнение на 2 различни числа

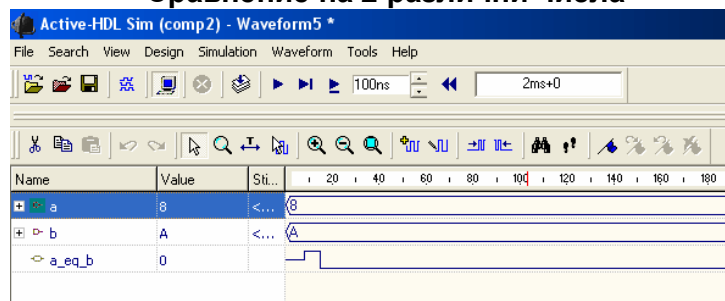


Сравнение на 2 еднакви числа

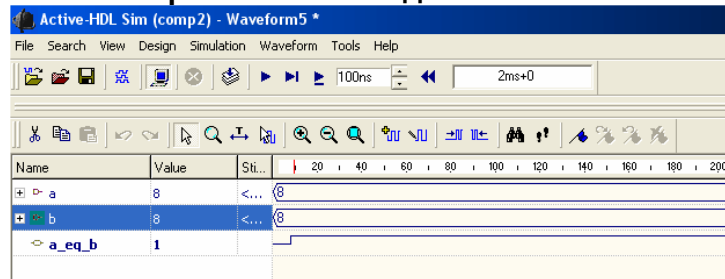


- на всички останали модели

Сравнение на 2 различни числа



Сравнение на 2 еднакви числа



6. Използвани ресурси върху програмируемата схема и закъснения от репорт файла:

RESOURCE UTILIZATION (16:03:21)

Information: Macrocell Utilization.

Description	Used	Max
Dedicated Inputs	1	1
Clock/Inputs	4	4
I/O Macrocells	4	128
Buried Macrocells	0	128
PIM Input Connects	8	624
17 / 885 = 1 %		

	Required	Max (Available)
CLOCK/LATCH ENABLE signals	0	20
Input REG/LATCH signals	0	133
Input PIN signals	5	5
Input PINs using I/O cells	3	3
Output PIN signals	1	125
Total PIN signals	9	133
Macrocells Used	1	256
Unique Product Terms	8	1280

TIMING PATH ANALYSIS (16:03:21) using Package: cy37256p160-83ac

Messages:

 Signal Name | Delay Type | tmax | Path Description

cmb::a_eq_b[143]
 inp::b(0)
 tPD 15.0 ns 1 pass

Worst Case Path Summary

tPD = 15.0 ns for a_eq_b