

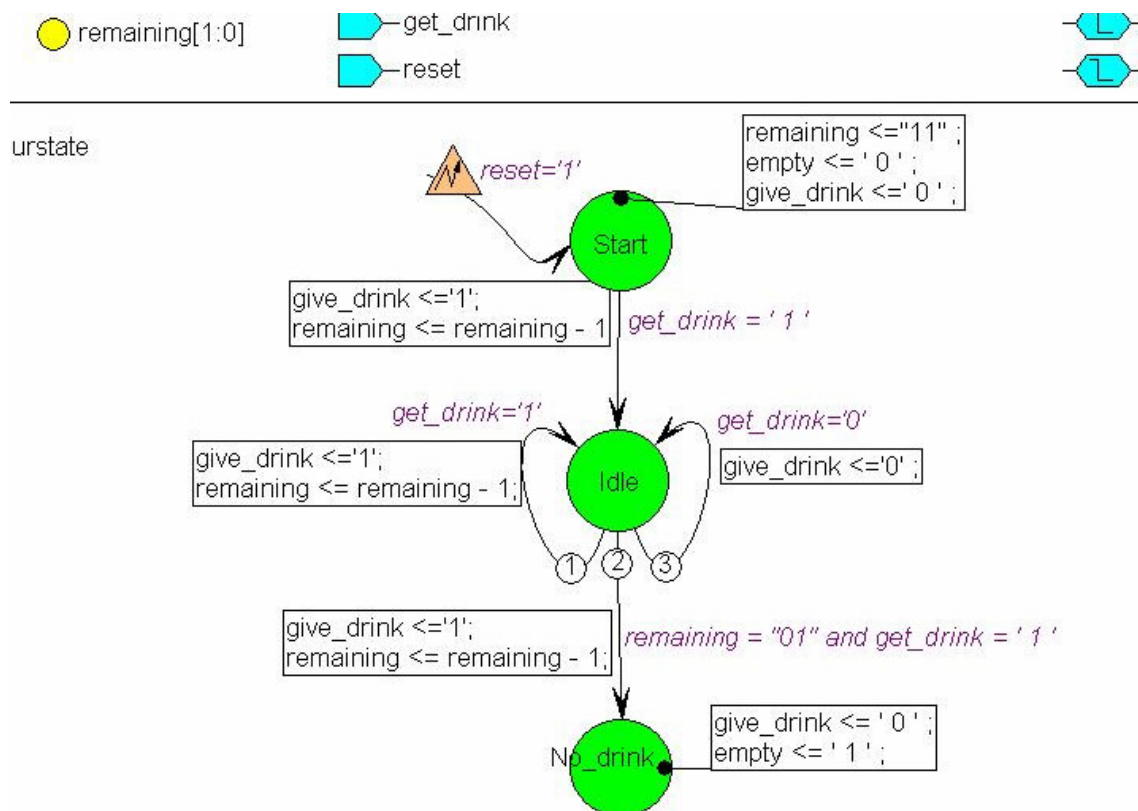
Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)

Автори: Мария Дамянова, Галя Маринова

## 2.4.) Пример с размяна на приоритетите в крайния автомат в проект drink2

Нека разгледаме същия пример с единствената разлика – размяна на приоритетите на условията 1 и 2.

Тогаво финалната диаграма на автомата, създаден с Active-HDL FSM ще изглежда като на фигура 26.



Фигура 26 Финална диаграма с разместени приоритети 1 и 2.

От видоизменената диаграма получаваме следния генериран VHDL код:

```

--
-- File: C:\Mariya Damyanova\soda machine s HDL FSM\binctr.vhd
-- created: 04/24/09 16:16:13
-- from: 'C:\Mariya Damyanova\soda machine s HDL FSM\binctr.asf'
-- by fsm2hdl - version: 2.0.1.45
--
library IEEE;
use IEEE.std_logic_1164.all;

package binctr_pkg is
    component binctr
        port (reset, get_drink, clk: in std_logic;
            give_drink: inout std_logic;
            empty: inout std_logic) ;
    end component;
end binctr_pkg;

library IEEE;
use IEEE.std_logic_1164.all;
  
```

**Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)  
Автори: Мария Дамянова, Галя Маринова**

```
library CYPRESS;
use CYPRESS.std_arith.all;
use CYPRESS.lpm pkg.all;
entity binctr is
    port (CLK: in STD_LOGIC;
          get_drink: in STD_LOGIC;
          reset: in STD_LOGIC;
          empty: inout STD_LOGIC;
          give_drink: inout STD_LOGIC);
end;

architecture binctr_arch of binctr is

--diagram signal declarations
signal remaining: STD_LOGIC_VECTOR (1 downto 0);

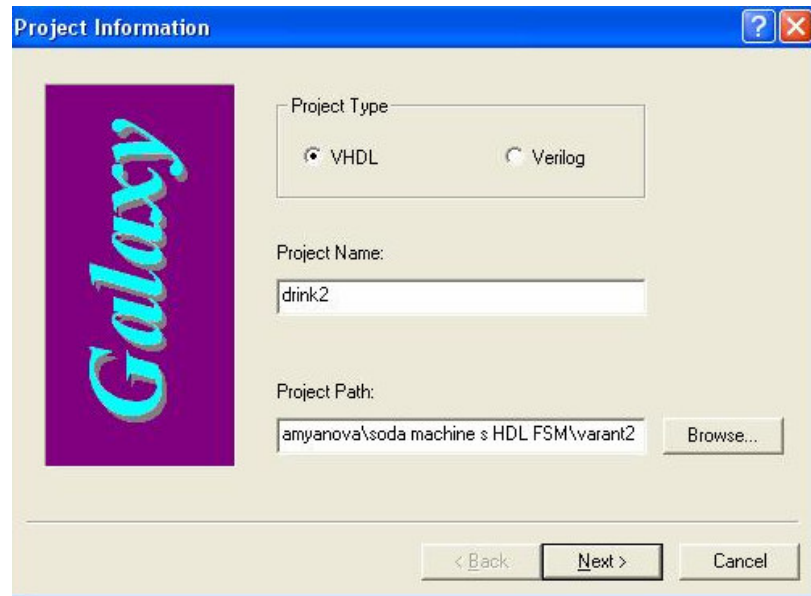
-- SYMBOLIC ENCODED state machine: curstate
type curstate_type is (Idle, No_drink, Start);
signal curstate: curstate_type;
begin
--concurrent signal assignments
--diagram ACTIONS;

curstate_machine: process (CLK, reset)
begin
if reset='1' then
    remaining <="11" ;
    empty <= '0' ;
    give_drink <='0' ;
    curstate <= Start;
elsif CLK'event and CLK = '1' then
    case curstate is
        when Idle =>
            if get_drink='1' then
                curstate <= Idle;
                give_drink <='1';
                remaining <= remaining - 1;
            elsif remaining = "01" and get_drink = '1' then
                curstate <= No_drink;
                give_drink <='1';
                remaining <= remaining - 1;
            elsif get_drink='0' then
                curstate <= Idle;
                give_drink <='0' ;
            end if;
        when No_drink =>
            give_drink <= '0' ;
            empty <= '1' ;
        when Start =>
            if get_drink = '1' then
                curstate <= Idle;
                give_drink <='1';
                remaining <= remaining - 1;
            end if;
        when others =>
            null;
    end case;
end if;
end process;
end binctr_arch;
```

**Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)**  
**Автори: Мария Дамянова, Галя Маринова**

Новият код се различава от оригиналния само по размяната на местата на маркираните в **червен** и **син** цвят части, съответстващи на условията, чиито приоритети разменихме.

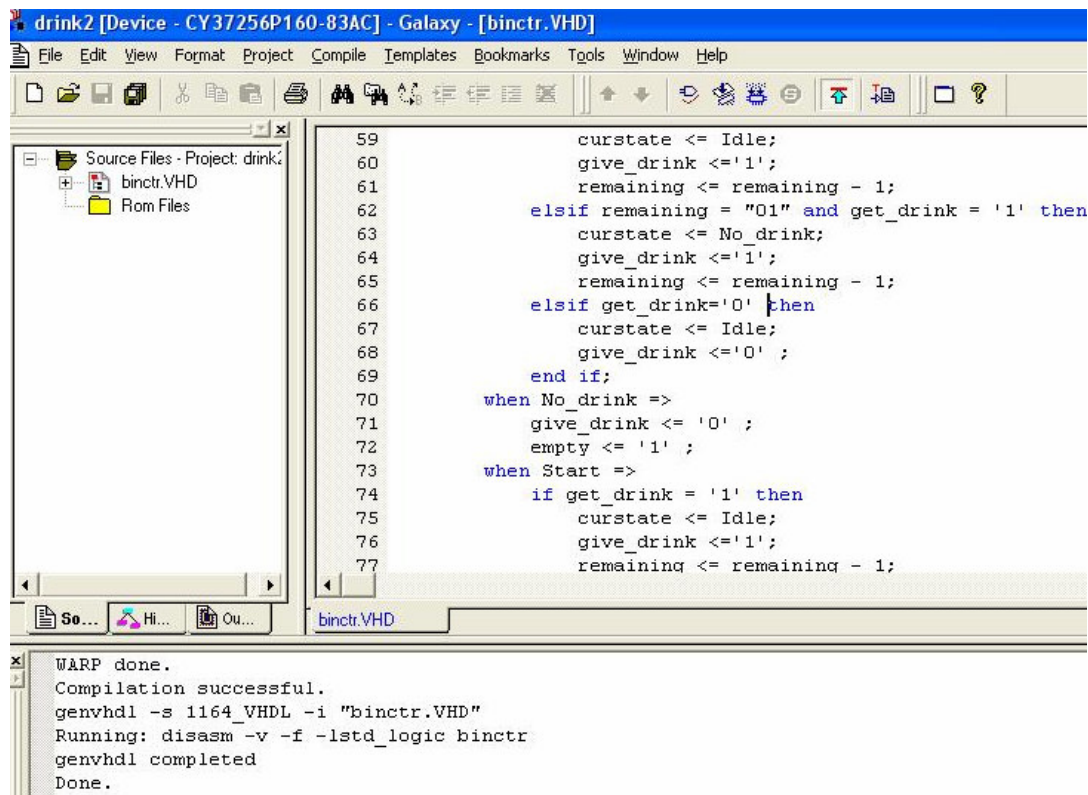
Стартирайте Galaxy от менюто *Programs -> Cypress -> Warp menu*. Нека името на проекта този път е **drink2**.



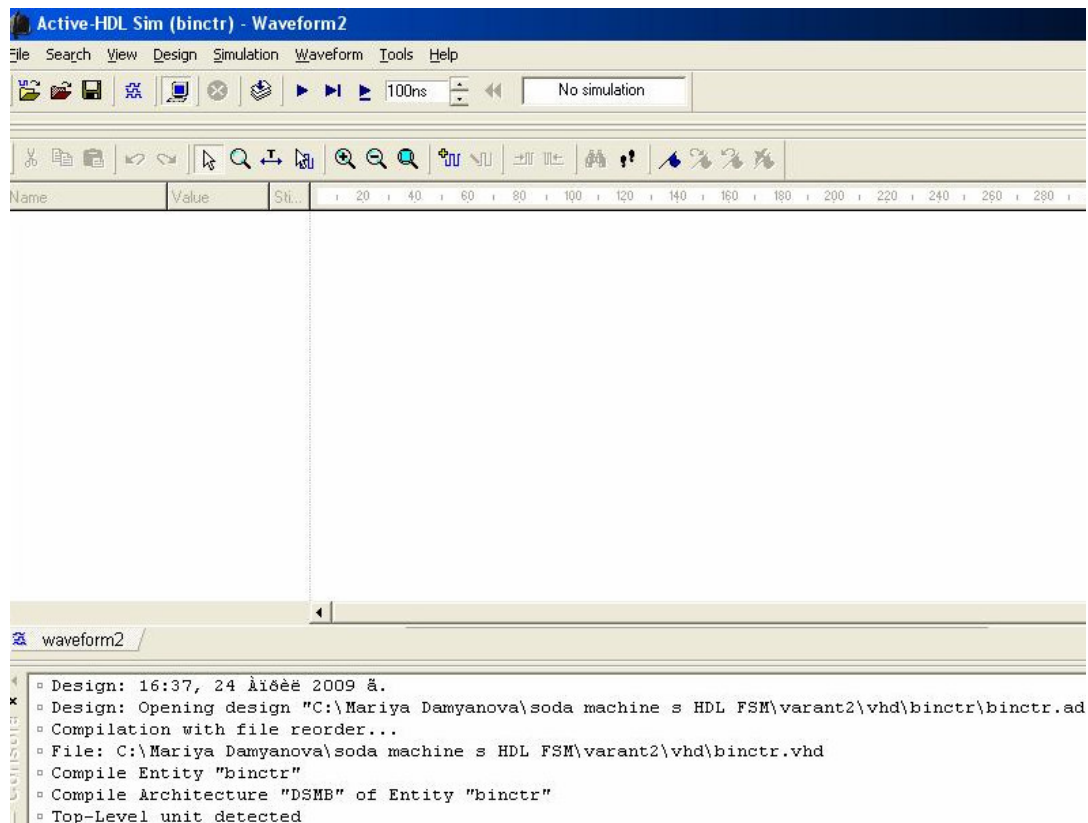
Фигура 27 Въвеждане на име на проекта.

След това добавяме новия **binctr.vhd** файл към новия проект и го компилираме, като получаваме резултат от успешна компилация като на фигура 28.

Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)  
 Автори: Мария Дамянова, Галя Маринова

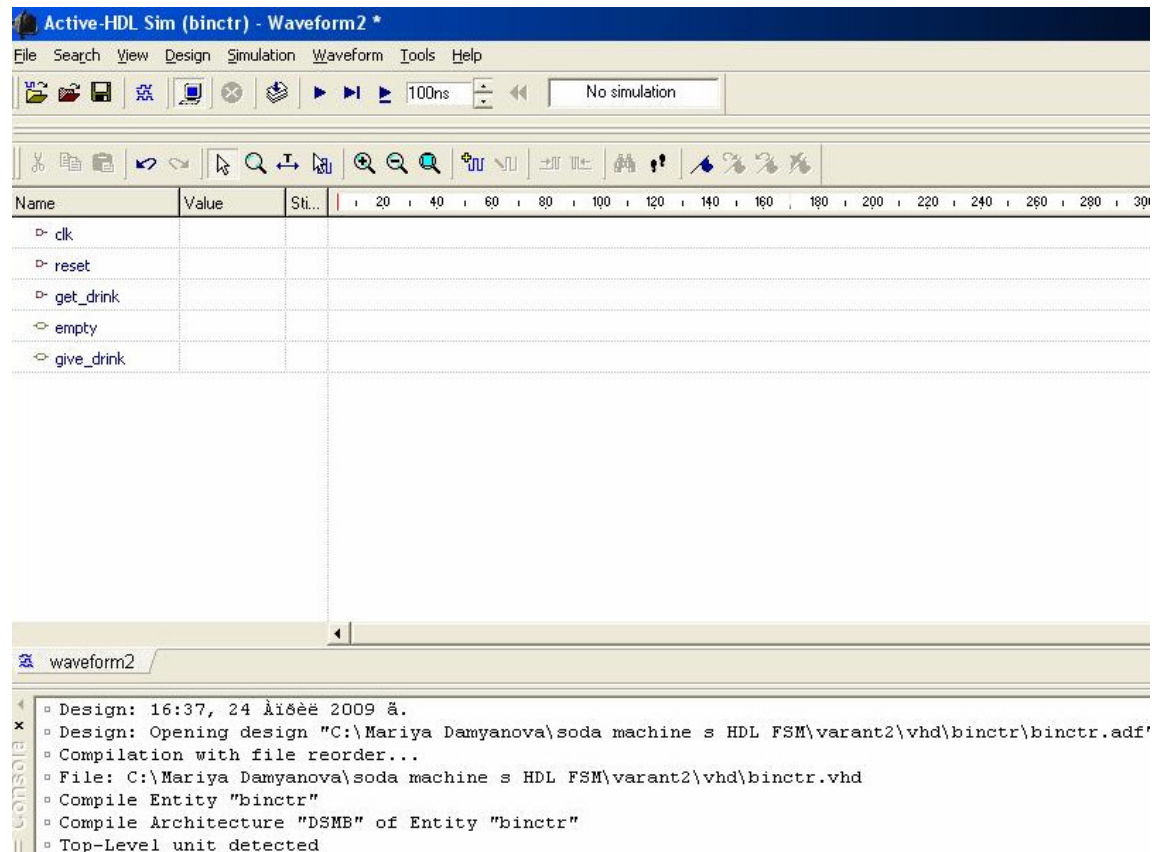


Фигура 28 Успешна компилация.



Фигура 29 Първоначалният прозорец Active-HDL Sim за новия binctr.vhd

**Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)  
Автори: Мария Дамянова, Галя Маринова**



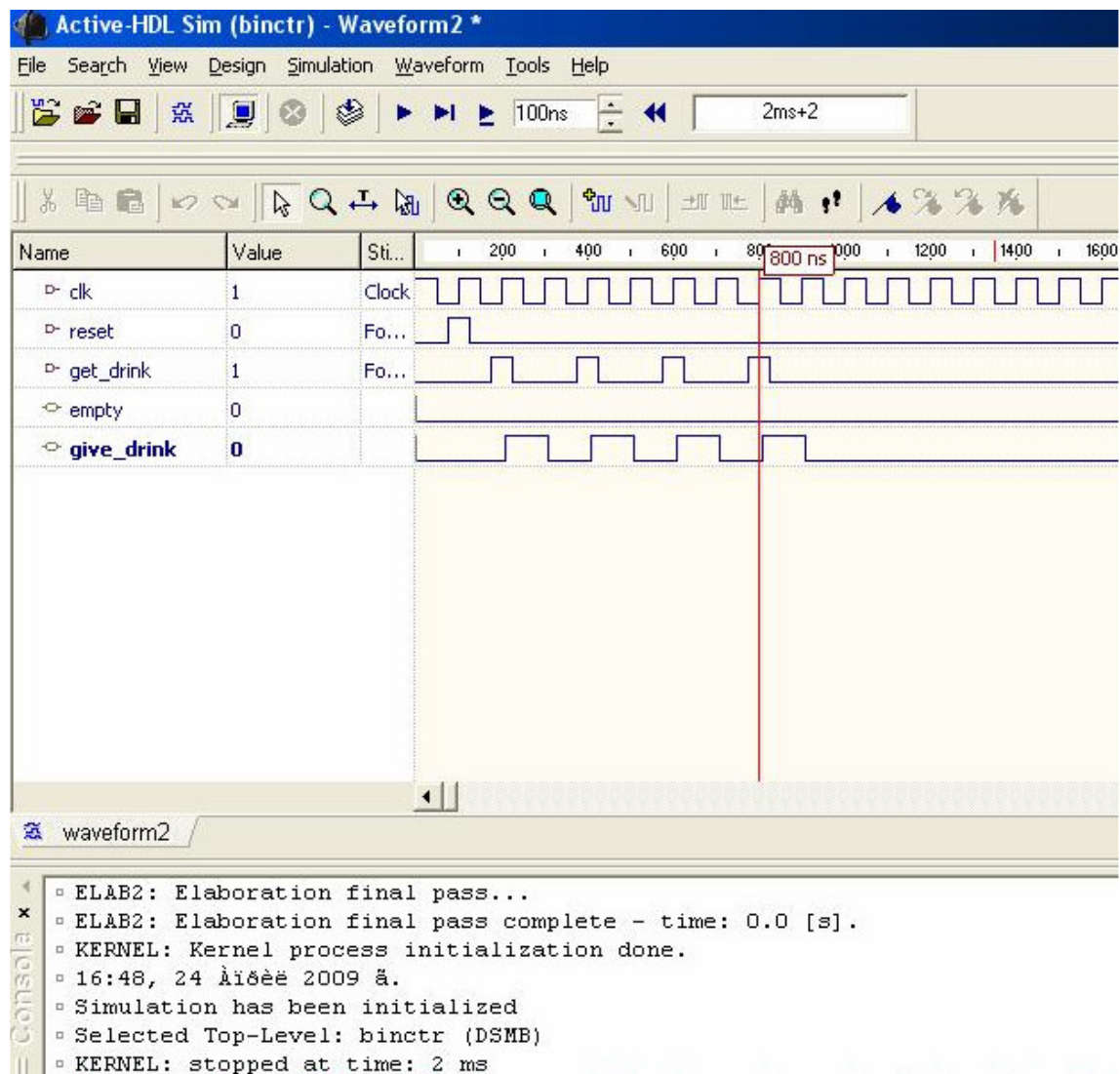
Фигура 30 Дефиниране на входни източници и сигнали за изчертаване за изчертаване върху времедиagramата

Добавяме входните източници и сигналите за изчертаване и задаваме същите стойности на входните източници като в предния пример.

Накрая стартираме симулацията.

**Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)**

Автори: Мария Дамянова, Галя Маринова



Фиг. 31 Резултат от симулацията с разменени приоритети в проекта drink2.

Анализът на резултата от симулацията показва, че поведението на симулацията не отговаря на зададения модел.

Машината дава три напитки в отговор на първите три заявки за питиета. На четвъртата заявка за питие, машината не трябва да даде питие, докато резервоарите не бъдат попълнени, т.е. докато **reset** не премине от `0` в `1`.

Освен това сигналът **empty** не се покачва, когато две от напитките в отделението вече липсват.

Извод: Приоритетите на условията са от значение, не е все едно как подреждаме условията. Поставянето на приоритети е от съществено значение за правилното функциониране на схемата.