

Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)

Автори: Мария Дамянова, Галя Маринова

## 2.3.) Симулация на сода машината в симулатора Active-HDL Sim на Warp

=> Стартирайте Warp апликацията като натиснете Start, след това изберете съответното име на апликацията от **Programs -> Cypress -> Warp menu**.

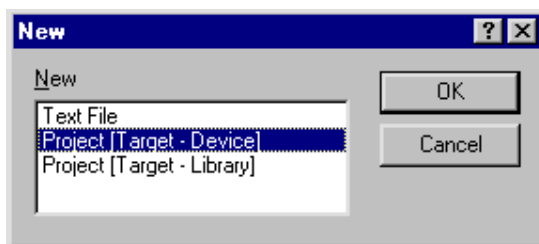
Най-напред в текстовия редактор Galaxy се създава нов проект drink1, в който да се включи създаденият в ACTIVE-HDL FSM, VHDL файл binctr.vhd.

### 2.3.1. Създаване на нов проект drink1 в Galaxy

Стартирайте Galaxy.

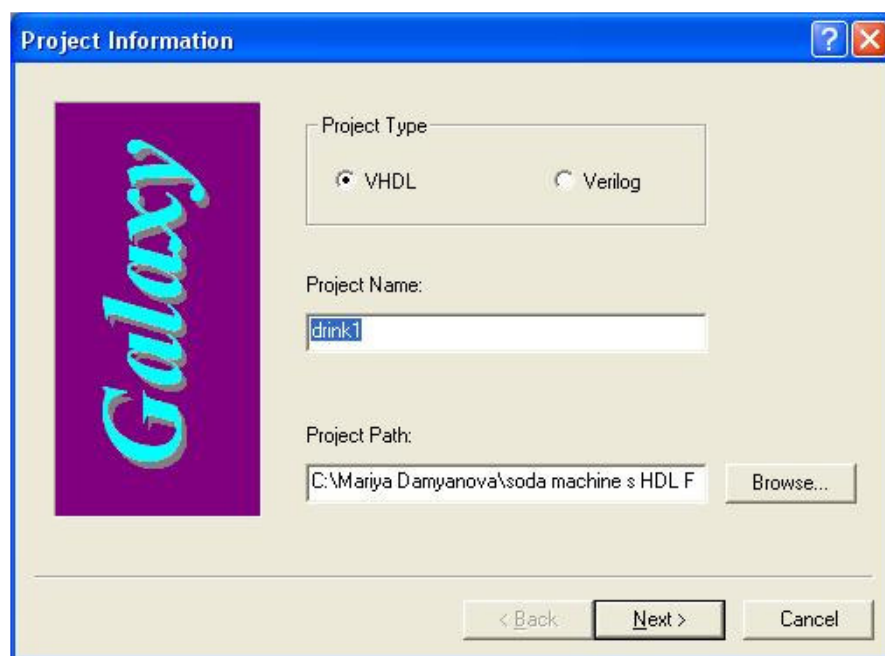
=> Изберете **File -> New**.

=> Изберете **Project [Target-Device]** и натиснете **OK**, както е показано на Фигура 13.



Фигура 13 Диалогов прозорец за нов файл и проект.

=> Изберете **VHDL** като тип на проекта, **Project Type**.



Фигура 14 Въвеждане на име на проекта.

**Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)**

**Автори: Мария Дамянова, Галя Маринова**

=> Въведете името на проекта, "**drink1**".

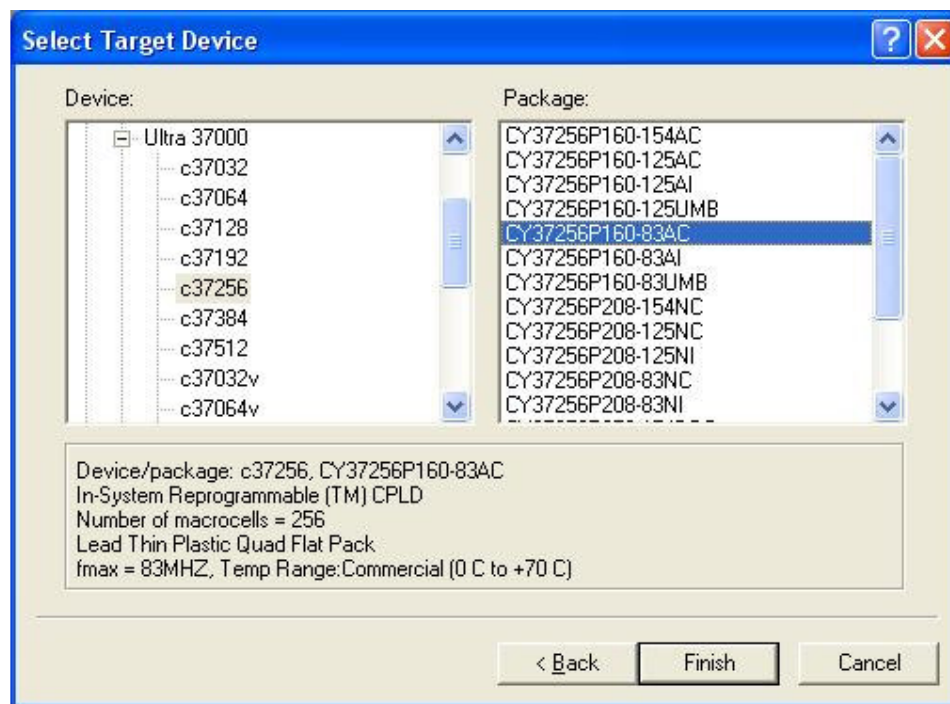
=> Въведете пътя до проекта както следва.

Въведете c:\your name\soda machine.

=> Натиснете **Next** за да извикате **Add Files wizard**. **Add Files wizard** се използва за копиране на набор от VHDL файлове в текущия проект. Пропуснете тази стъпка и натиснете **Next**, за да извикате **Target Device wizard**.

**Забележка** – Затварянето на **Project Information wizard** създава проект без избрани файлове и уреди. Ще можете да добавите файлове и да изберете уред от Project менюто по-късно.

Избраният диалогов прозорец на **Target Device wizard** показва всички Cypress PLD-та в дървовидна форма, която показва следната йерархия: семейство схеми (SPLD, CPLD, и т.н.), подсемейство схеми (Ultra37000, Flash, MAX, и т.н.), име на фамилията схеми и тип на пакета. Потребителят може да разгледа дървото на схемите. От лявата страна на диалоговия прозорец са наличните схеми, а от дясната са наличните пакети за избраната схема.



Фигура 15 Диалогов прозорец за избиране на целеви уред със Cypress PLD-та в дървовидна форма.

=> Изберете последователно **CPLD** -> **Ultra37000** -> **c37256**.

=> Изберете пакета **CY37256P160-83AC** в дясната рамка.

=> Натиснете **Finish**, за да създадете проекта.

**Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)**

**Автори: Мария Дамянова, Галя Маринова**

=> Натиснете **Yes** , за да съхраните проекта.

Сега създадохте проектна директория за Вашите разработки на име *Вашето име*. Всички файлове, отнасящи се до това ръководство трябва да бъдат поставени в тази проектна директория.

### 2.3.2. Добавяне на VHDL файл:

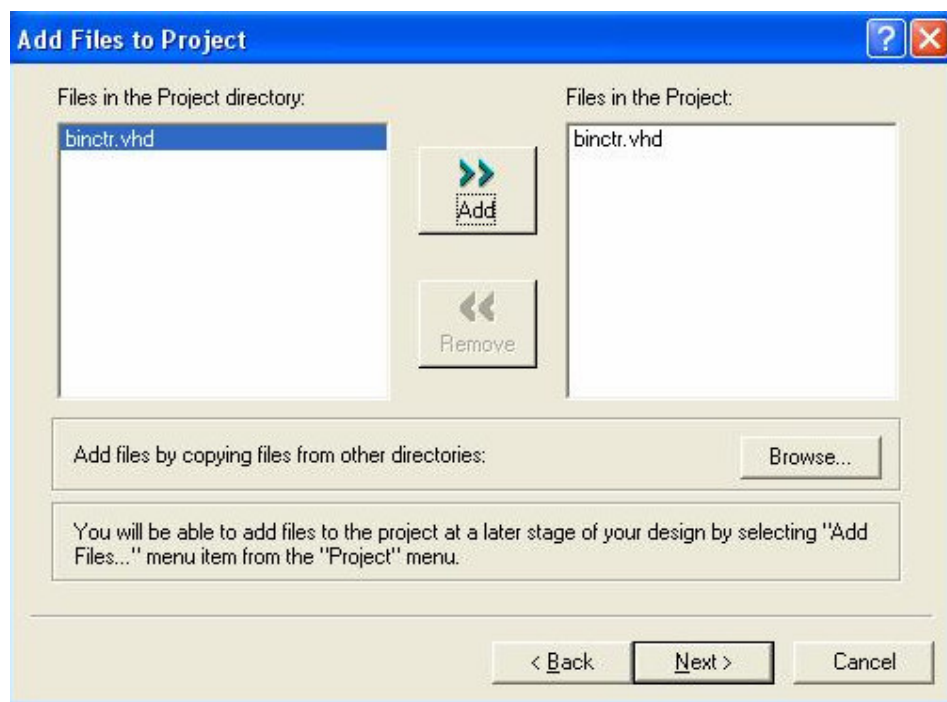
=> Използвайте **Project** -> **Add Files** от менюто. Така достигате до диалоговия прозорец (Фигура 16) където можете да изберете VHDL файлове. Файловете се добавят в реда, в който бъдат избрани.

=> Натиснете бутона **browse** , за да навигирате до проектната директория.

=> Изберете **binctr.vhd** файл-а и натиснете **Add**.

4. Натиснете **OK** в диалоговия прозорец **Add Files to Project**.

**Забележка** – За да добавите файлове от различна директория, натиснете бутона **browse**, за да навигирате до проектната директория.



Фигура 16 Диалогов прозорец за избор на файл за компилиране

### 2.3.3. Компилиране и синтезиране на Top-Level файл

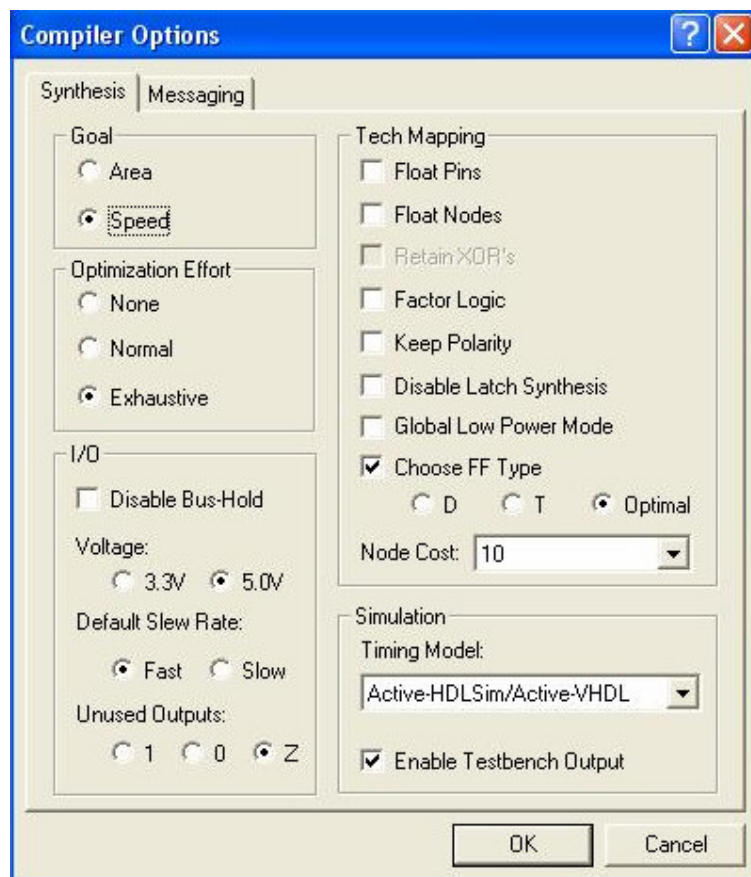
В следващите страници, Вие ще стартирате Warp, за да генерирате JEDEC файл за специфична таргетна схема, в случая за CY7C37256 macrocell CPLD.

Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)

Автори: Мария Дамянова, Галя Маринова

### 2.3.4. Избиране на опции за компилиране

Опциите за компилиране се намират в менюто Project. Изберете **Project -> Compiler Options** и изберете таба **Synthesis**.



Фигура 17 Диалогов прозорец с опциите за компилиране и избран таб Synthesis.

- Настройка на неизползвани изходи

Warp Ви дава възможността да настроите всички неизползвани изходни изводи, които имат неизползвани макроклетки като '1'и, '0'и или 'Z'и. Това е глобална опция и не може да бъде отнесена към база сигнал по сигнал. Тази опция е полезна, за довеждането на всички не използвани изводи до определено логическо ниво.

=> Под Unused Outputs опциите от **Project -> Compiler Options -> Synthesis** таб, изберете **Z**, опцията по подразбиране за оставяне на всички неизползвани I/O изводи да имат три състояния.

**Забележка** – Когато използвате MAX340 EPLD и FLASH370 CPLD, е препоръчително да ползвате външни pull-ups за неизползваните I/O изводи.

**Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)**

**Автори: Мария Дамянова, Галя Маринова**

- Избиране на Tech Mapping опции

Докато компилира регистрираните уравнения, fitter-ът използва директивата от Choose FF types, за да синтезира уравнения. Оставянето на опцията **Opt** избрана е най-добрият избор. Това позволява на fitter-а да избира между D-FF и T-FF имплементиране и тогава избира имплементацията, която използва най-малко ресурси.

=> От **Tech Mapping** опциите в таба **Synthesis**, изберете опцията **Optimal**.

Има още няколко други полезни опции от Tech Mapping options, които са обяснени в Galaxy online help, достъпни от **Galaxy Help** менюто.

- Избиране на Timing Model за Active-HDL Sim

Warp съдържа Active-HDL Sim timing simulator. Можете да проверите синтезирания проект, използвайки Active-HDL Sim , като създадете Active-HDLsim/ Active-VHDL времеви модел на проекта, използвайки Warp. Файлът binctr.vhd трябва да бъде компилиран с Active-HDLsim/Active-VHDL timing model , преди да бъде използван Active-HDL Sim.

=> Изберете **Project -> Compiler Options -> Synthesis** таб и натиснете **Timing Model** менюто в полето **Simulation**.

=> Изберете **Active-HDLsim/Active-VHDL**.

=> Натиснете бутона **OK button** , за да потвърдите избраното по-горе и затворете диалоговия прозорец **Compiler Options**.

- Избиране на Top-Level файл

След като необходимият VHDL файл е добавен към проекта, може да бъде избран top level файл. Само top-level файлове са реално синтезирани и в проекта е позволен само един top-level файл.

=> Натиснете **binctr.vhd**.

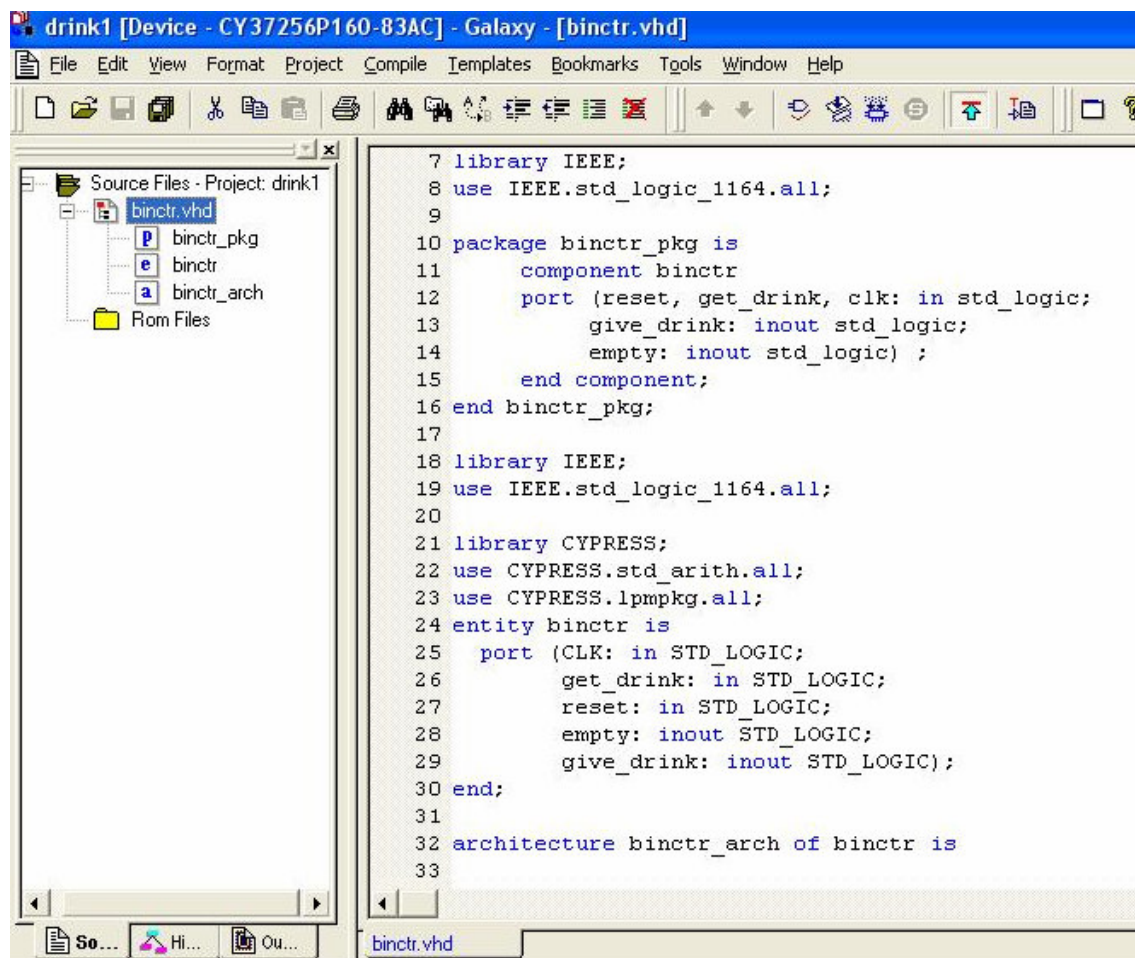
=> Изберете **Project -> Set Top** или натиснете бутона **Set Top**, достъпен от **project toolbar**.

=> След като top-level файл е избран, файловият символ в йерархията ще има символ за йерархия.

**Забележка** – За да изберете **top level** файл, файлът трябва да бъде избран в подпрозореца **Project**

**Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)**

**Автори: Мария Дамянова, Галя Маринова**



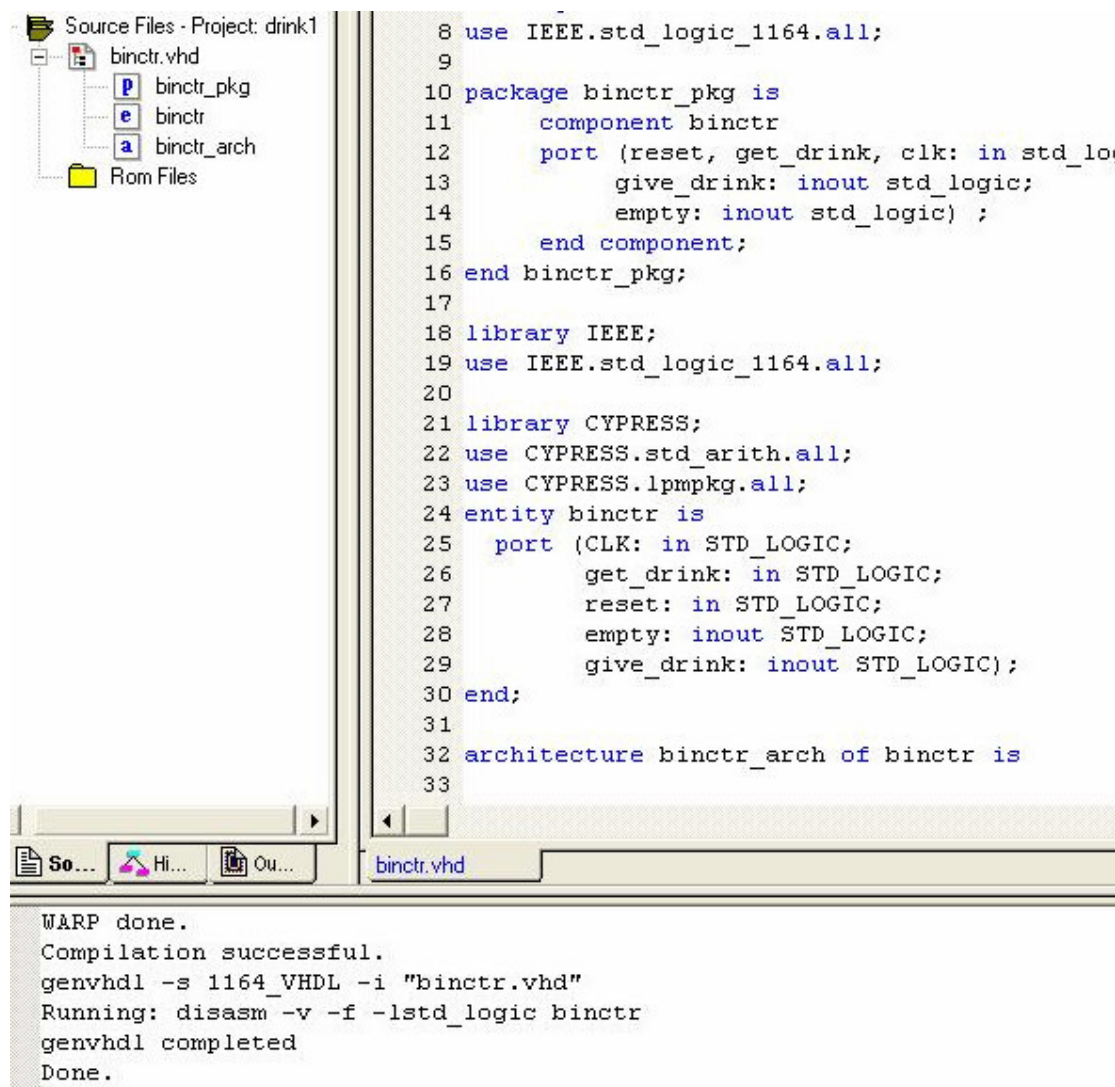
Фигура 18 Избор на top-level файл

- Компилиране и синтезиране на файл

=> Във вашия Galaxy прозорец изберете **Compile -> Project**, за да започнете компилирането или натиснете бутона **Compile Project** от project менюто. Warp започва компилацията и синтеза на дизайна върху CY7C37256 и извежда съобщения, за да Ви информира за напредъка в подпрозореца за резултати. Опцията **Compile -> Project** рекомпилира автоматично само тези файлове, които са модифицирани от последната компилация.

**Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)**

**Автори: Мария Дамянова, Галя Маринова**



Фигура 19 Прозорец за резултати показва успешно компилиране.

Тази операция генерира два файла от особен интерес:

- **binctr.ied**: използва се за програмиране на схемата CY37256.
- **binctr.rpt**: съдържа изходна (*pinout*) и времева (*timing*) информация, заедно с друга информация относно финалния синтезиран проект. Можете да видите .rpt файла и изходните файлове, създадени от Warp като натиснете таба изглед на картина (output view) от подпрозореца Project. Различни секции от report файл-а могат да бъдат достигнати като натиснете знака плюс и изберете наличните секции.

**Забележка** – Ако се появи грешка при компилирането, убедете се, че текстът на Вашия binctr.vhd файл е въведен **точно** както е показано по-рано в тази глава -- или, копирайте файла от <warp path>\examples\your name\vhdl directory – и после стартирайте Warp отново.

**Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)**

**Автори: Мария Дамянова, Галя Маринова**

Ако грешки се появят в подпрозореца за резултат:

=> Натиснете таба **Errors and Warnings** , намиращ се отдолу на прозореца за резултати Galaxy output.

=> Натиснете два пъти върху съобщението за грешка, за да го изберете.

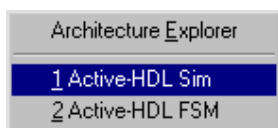
=> Отидете в прозореца за редактиране **VHDL editor window**. Курсорът трябва да се намира на реда, който е предизвикал грешката. Използвайте бутоните за грешка **Next** и **Previous** , за да локализирате други грешки.

### **2.3.5. Симулиране на поведението на проекта**

В това ръководство Вие ще изпълните следните стъпки:

- Стартиране на Active-HDL Sim.
- Отваряне на файл-а **binctr.vhd** file в папка **your name/soda machine/vhd/**.
- Определяне на of the стимулиращи сигнали (**stimulus signals**) в симулацията.
- Симулиране на проекта.
- Преглед и анализ на резултатите с цел да се установи какво се е случило.
  - Стартиране на Active-HDL Sim

=> Стартирайте Active-HDL Sim като изберете Tools -> Active-HDL Sim.



Фигура 20 Избиране на **Tools -> Active-HDL Sim**

=> Отворете файла **binctr.vhd** file като изберете **File -> Open VHDL** и потърсите папка **your name/soda machine/vhd**.

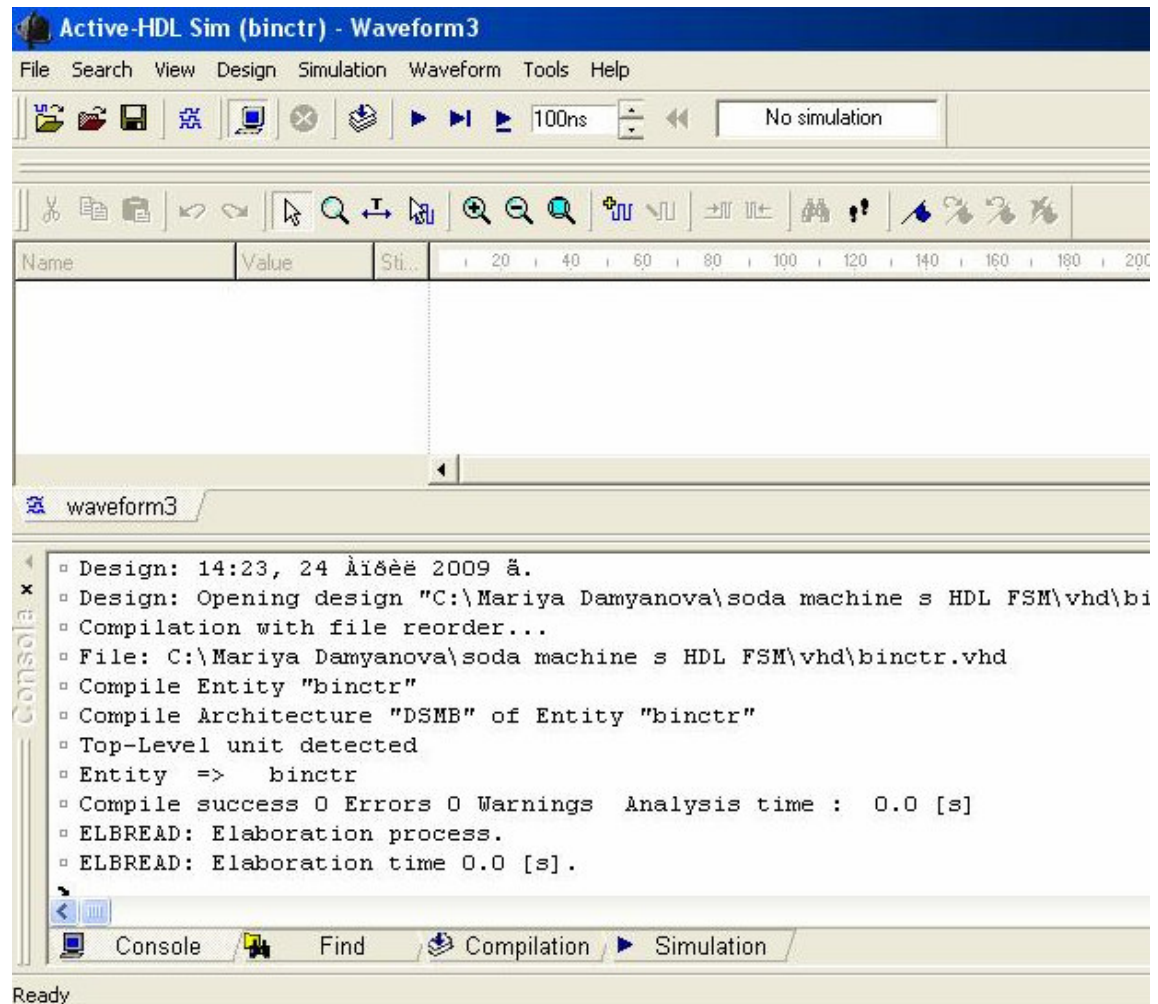
=> Натиснете **binctr.vhd**.

=> Натиснете **OK**. Прозорецът Active-HDL Sim трябва да прилича на фигура 21.



Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)

Автори: Мария Дамянова, Галя Маринова



Фигура 21 Първоначален прозорец Active-HDL Sim за binctr.vhd.

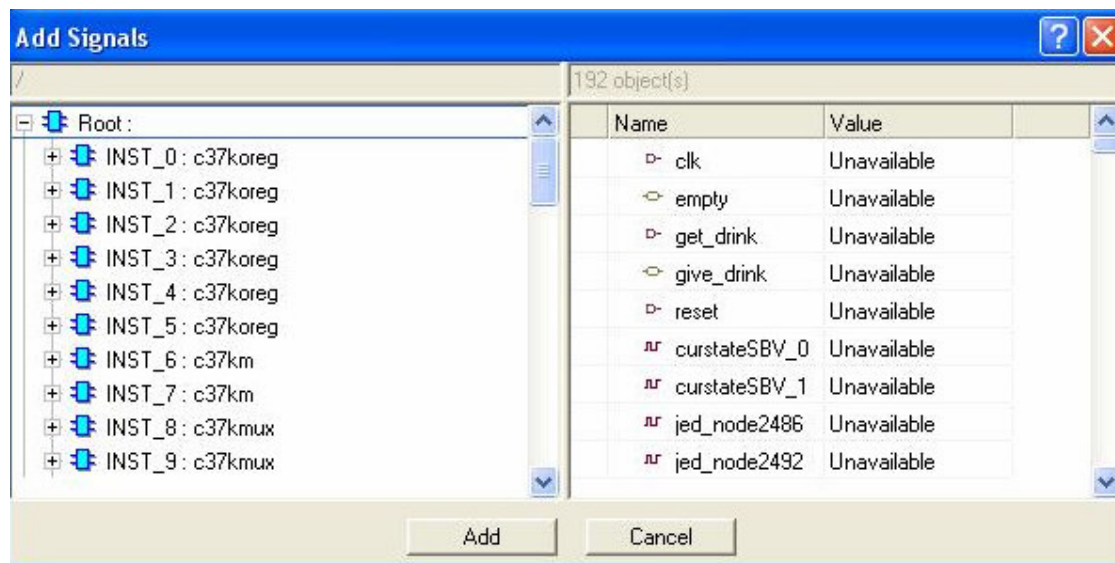
- Задаване на входните източници и на сигналите за изчертаване върху времедиagramата

=> Изберете **Waveform** -> **Add Signals**.

=> Натиснете два пъти **clk** в десния прозорец на диалоговия прозорец **Add Signals**, показан на фигура 22.

**Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)**

**Автори: Мария Дамянова, Галя Маринова**



Фигура 22 Диалогов прозорец Add Signals с налични сигнали за създаване на изглед.

=> Натиснете два пъти следните сигнали, за да ги добавите към Вашия нов изглед в следната последователност:

`reset, get_drink, get_diet, clk, empty, give_drink.`

=> Натиснете **Add**.

**Забележка** – Сигналите в лявата част на диалоговия прозорец Add Signals dialog box ще са различни в зависимост от избраните пакет и фамилия схеми.

- Задаване на параметрите на входните източници (Stimulus Signal)

Трябва да определите стойностите на следните входни източници: `clk, reset, get_drink.`

Задайте `clk` сигнала за равно разпределени, редуващи се високи и ниски стойности.

=> Изберете сигнала `clk` в лявата част на прозореца waveform.

=> Задръжте бутона Ctrl, докато избирате `reset` и `get_drink.`

=> Натиснете с десен бутон и изберете опцията **Stimulators**.

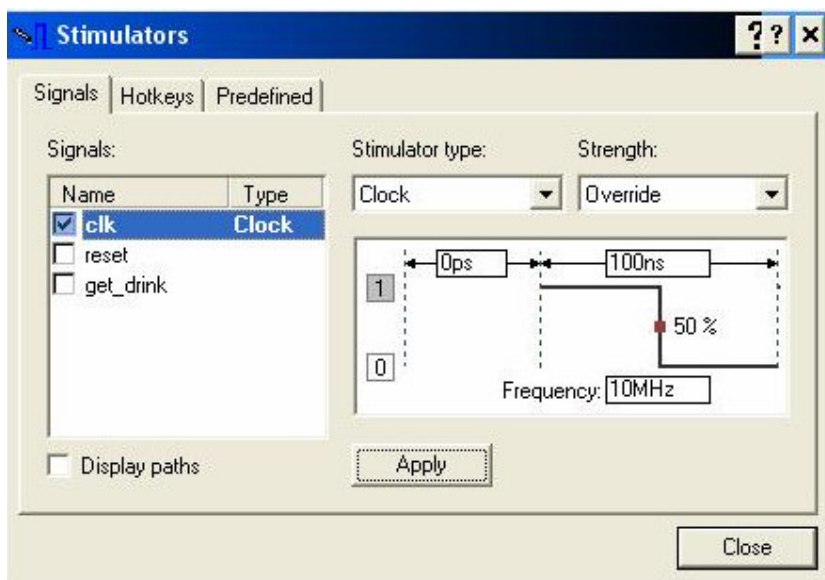
=> Натиснете `clk` в рамката Signals frame.

=> Изберете "Clock" като **Stimulator type** от менюто.

**Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)**

**Автори: Мария Дамянова, Галя Маринова**

=> Във времевата диаграма натиснете върху една от левите страни на подпрозореца. Полето с 1 трябва да стане светло сиво, за да индикира, че е избрано. Погледнете фигура 23.



Фигура 23 Времева диаграма за дефиниране на входния източник `clk`, 1 е избрано.

=> Натиснете бутона **Apply**.

Дефинирайте `reset` да се покачва за определено време. За да го направите:

=> Изберете сигнала `reset` от подпрозореца Signals.

=> Изберете "Formula" като Stimulator type от менюто.

=> Въведете следното в полето "Enter Formula":

=> `0 0, 1 75 ns, 0 125 ns`

=> Натиснете бутона **Apply**.

Дефинирайте `get_drink` да се покачва за четири непоследователни периода.

=> Изберете сигнала `get_drink` от подпрозореца Signals.

=> Изберете "Formula" като Stimulator type от менюто.

=> Въведете следното в полето "Enter Formula":

**Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)**

**Автори: Мария Дамянова, Галя Маринова**

```
=> 0 0, 1 175 ns, 0 225 ns, 1 375 ns, 0 425 ns, 1 575 ns, 0 625 ns, 1 775 ns, 0 825 ns
```

=> Натиснете бутона **Apply**.

Дефинирайте `reset` да се покачва за един покачващ се период след последната `get_drink` заявка.

=> Изберете сигнала `reset` от подпрозореца Signals.

=> Изберете "Formula" като Stimulator type от менюто.

=> Добавете следния текст към формулата след 0 125 ns:

```
=>0 0, 1 1675 ns, 0 1725 ns
```

=> Натиснете бутона **Apply**.

Дефинирайте `get_drink` да се покачва за един покачващ се период, респ., след втория `reset`.

=> Изберете сигнала `get_drink` от подпрозореца Signals.

=> Добавете следния текст към формулата след 0 825 ns:

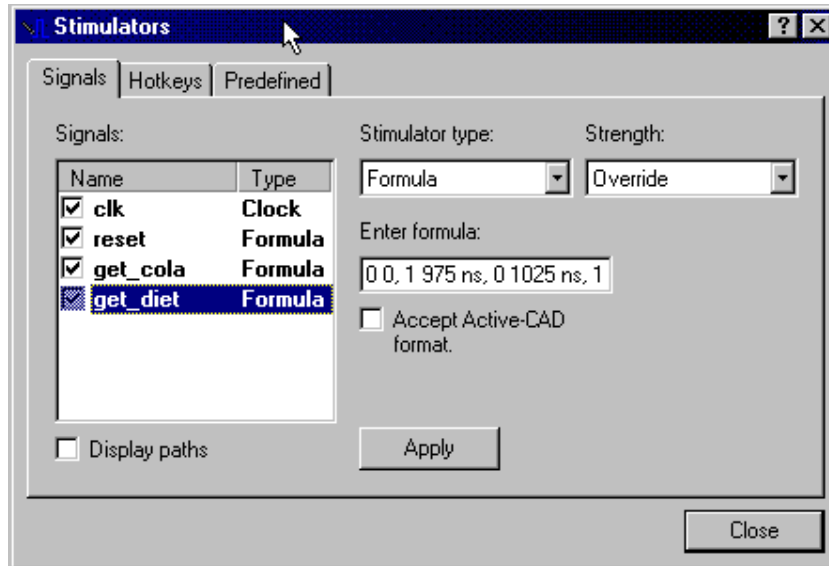
```
=>0 0, 1 1775 ns, 0 1825 ns
```

=> Натиснете бутона **Apply** и след това **Close**.

Когато е завършено, резултатът трябва да изглежда като фигура 24.

Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)

Автори: Мария Дамянова, Галя Маринова



Фигура 24 Диалогов прозорец Active-HDL Sim stimulators за **binctr.awf** с нагласени всички сигнали

- Стартиране на симулацията

=> За да симулирате проекта, натиснете менюто до полето 100ns на лентата с инструменти и натиснете бутона **Run For**.

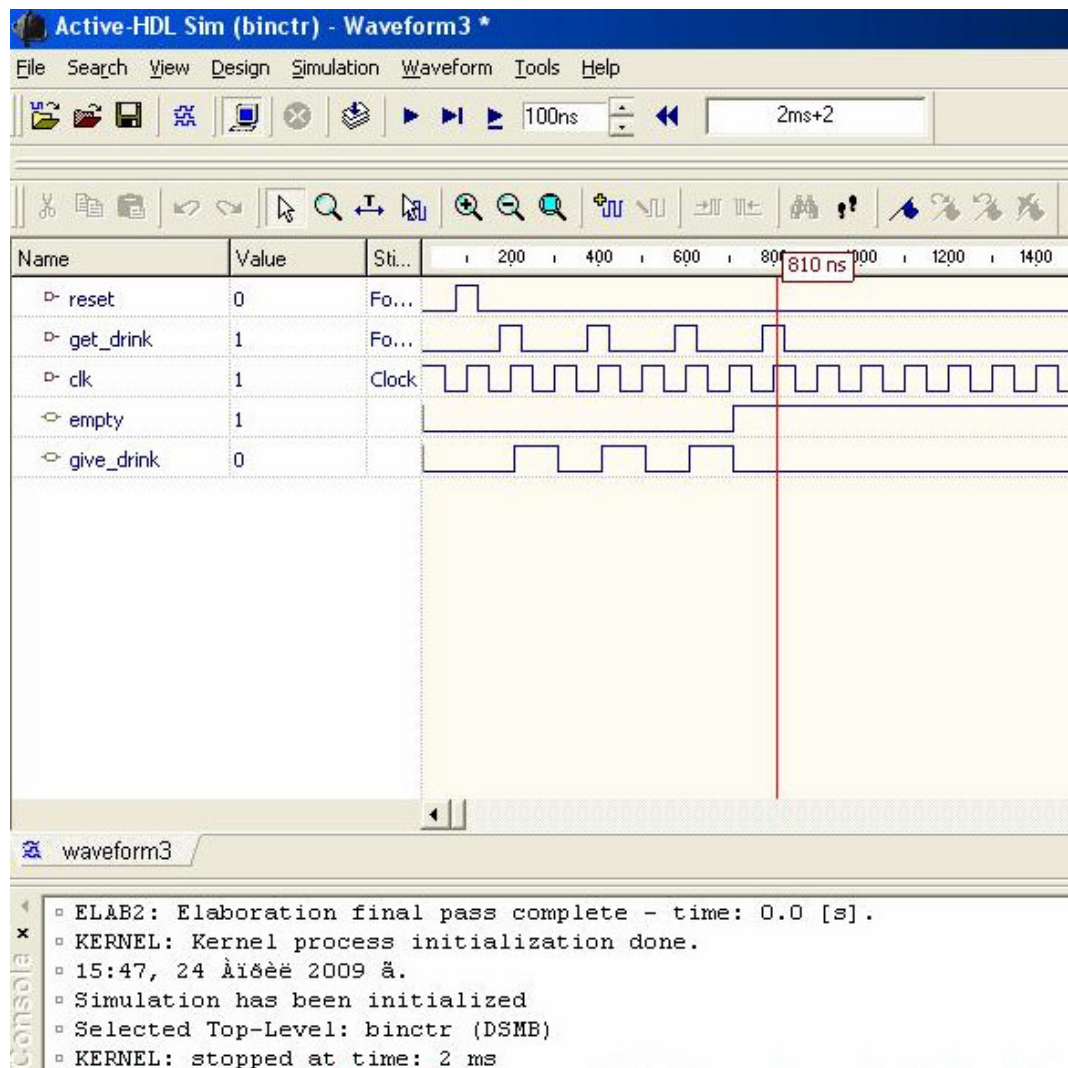
**Забележка** – За да реинициализирате симулацията, натиснете бутона **Restart Simulation** на лентата с инструменти или го изберете от менюто **Simulation -> Restart Simulation** и изберете **Waveforms -> Clear all Waveforms**.

**Забележка** – Може да искате да промените резолюцията на монитора, за да вместите всички дейности по функциите на един екран. Изберете **View -> Zoom -> Out**.

Резултатите трябва да изглеждат подобно на фигура 25:

Пример 2: Последователност на работа с графичен редактор ACTIVE-HDL FSM за въвеждане на спецификация на схема чрез крайни автомати (FSM)

Автори: Мария Дамянова, Галя Маринова



Фигура 25 Резултати от симулацията на **binctr.vhd** в Active-HDL Sim

Симулацията стартира, като машината за напитки е празна. Забележете състоянието на сигнала `empty` при стартирането на симулацията.

Когато сигналът `reset` се покачи в началото на симулацията, сигналът `empty` намалява. Сега машината е готова да дава питиета.

Машината дава три напитки в отговор на първите три заявки за питиета. Забележете връзката между пулсовете на сигналите `get_drink` и `give_drink`. След следващата заявка за пиене, машината обаче не дава пиене; отделението за питиета е празно.

Когато две от напитките в отделението вече липсват, сигналът `empty` се покачва. Той остава висок, докато сигналът `reset` отново се покачи, казвайки на машината, резервоарите са попълнени. Следващата заявка е изпълнена.

**Забележка** – Ако резултатът от симулацията Ви не е верен, уверете се, че сигналите Ви започват и свършват наполовина на качващите се и падащите периоди.