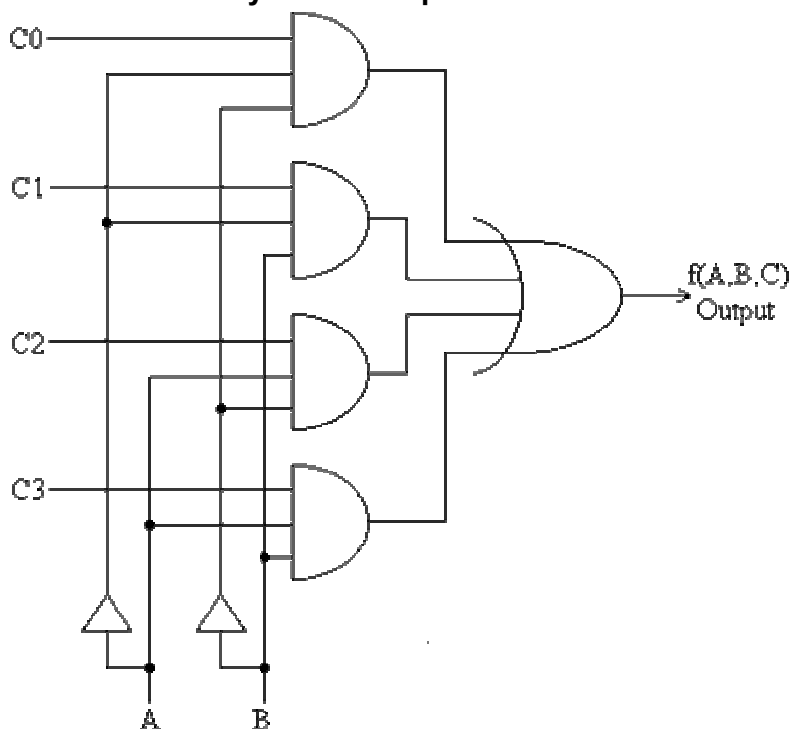


Пример 1. Мултиплексор с 4 входа

1. Логическа схема на мултиплексор:



Фиг.1 Мултиплексор

2. Принцип на действие на мултиплексора:

Мултиплексорът е комбинационна логическа схема с два вида входове и един изход. Чрез него се осигурява свързване на няколко източника на сигнал към един приемник. Сигналите от източниците се подават на входовете. Разрешава се този вход, за който се формира активен сигнал от изхода на дешифратора. Броят на адресните входове n определя максималния брой информационни входове. В примера е използван мултиплексор с 4 входа.

3. Таблица на истинност и логически уравнения:

A	B	S
0	0	C0
0	1	C1
1	0	C2
1	1	C3

$$S = (C0 \text{ AND } \bar{A} \text{ AND } \bar{B}) \text{ OR } (C1 \text{ AND } \bar{A} \text{ AND } B) \text{ OR } (C2 \text{ AND } A \text{ AND } \bar{B}) \text{ OR } (C3 \text{ AND } A \text{ AND } B)$$

Фиг.2 Таблица на истинност и логически уравнения на мултиплексор с 4 входа и 1 изход

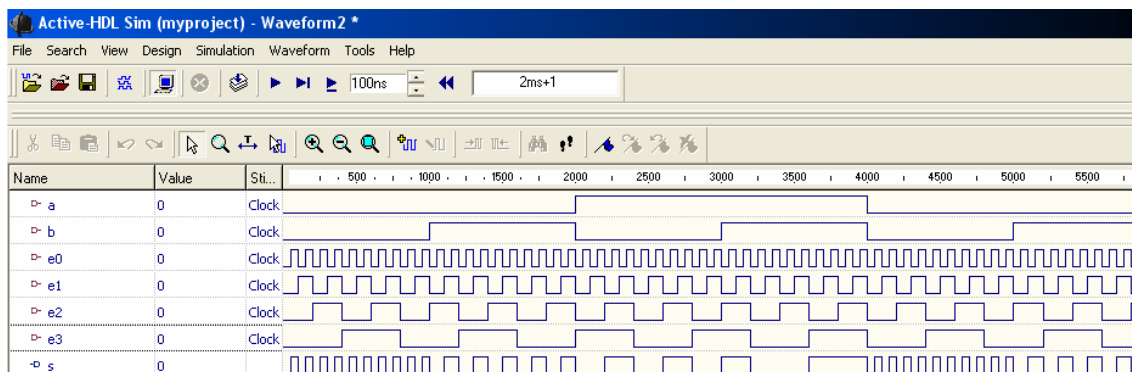
4. Описание на мултиплексор на VHDL чрез поведенчески модел:

```
library ieee;  
use ieee.std_logic_1164.all;  
  
entity MUX is port (a,b:in bit; c0,c1,c2,c3: in  
std_logic; s: out std_logic);  
end MUX;  
architecture archMUX of MUX is begin  
process(A,B,c0,c1,c2,c3)  
begin  
if A='0' and B='0' then S<=C0;end if;  
if A='0' and B='1' then S<=C1;end if;  
if A='1' and B='0' then S<=C2;end if;  
if A='1' and B='1' then S<=C3;end if;  
end process;  
end archMUX;
```

5. Входни сигнали:

Signal	Type	Frequency
A	clock	250kHz
B	clock	500kHz
C0	clock	10MHz
C1	clock	5MHz
C2	clock	2.5MHz
C3	clock	1.25MHz

6. Резултати от симулацията на ACTIVE-HDL SIM:



7. Използвани ресурси върху програмируемата схема CY37256P160-83AC и закъснения от REPORT файла MUX.rpt:

Пример 1. Мультиплексор с 4 входа
Автори: Силвия Петрова, Галя Маринова, 04.10.2009 г.

RESOURCE UTILIZATION (18:40:59)

Information: Macrocell Utilization.

Description	Used	Max
Dedicated Inputs	1	1
Clock/Inputs	4	4
I/O Macrocells	2	128
Buried Macrocells	0	128
PIM Input Connects	6	624
		13 / 885 = 1 %

	Required	Max (Available)
CLOCK/LATCH ENABLE signals	0	20
Input REG/LATCH signals	0	133
Input PIN signals	5	5
Input PINs using I/O cells	1	1
Output PIN signals	1	127
Total PIN signals	7	133
Macrocells Used	1	256
Unique Product Terms	4	1280

TIMING PATH ANALYSIS (18:40:59) using Package: cy37256p160-83ac

Messages:

```

-----
Signal Name | Delay Type | tmax | Path Description
-----
cmb::s[143]
inp::b
                tPD          15.0 ns  1 pass
-----

```

Worst Case Path Summary

tPD = 15.0 ns for s