

**Пример 1: Ротация на 8-битов вектор с използване на оператора CASE**  
Автори: Мария Дамянова, Галя Маринова, 20.09.2009 г.

## 1.1 Създаване на нов проект MyCase и нов файл mycase.vhd в текстовия редактор Galaxy

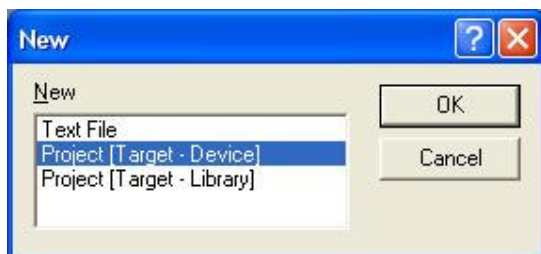
Стартирайте текстовия редактор Galaxy, използвайки опциите :

**Start > Programs > WARP > Galaxy**

### 1.1.1 Създаване на нов проект

Създайте нов проект, използвайки опциите :

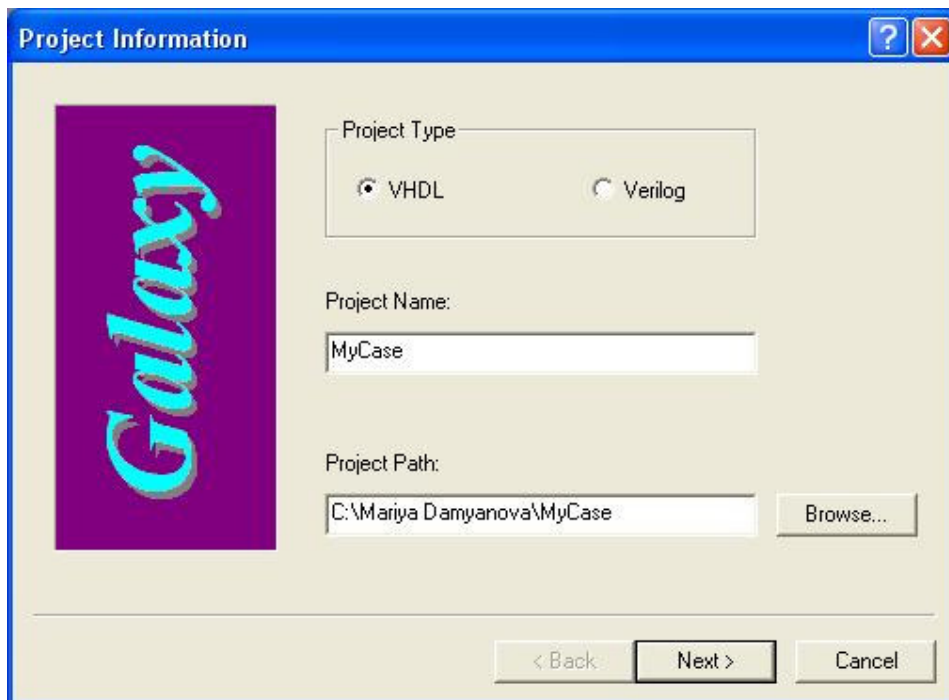
**File > New > Project (Target-Device) > OK**



Фигура 1

Попълнете исканата информация в прозореца Project information (фигура 2):

**Project Type: VHDL**  
**Project Name: MyCase**  
**Project Path: C:\Mariya Damyanova\MyCase**



Фигура 2 Диалогов прозорец Project information

### Пример 1: Ротация на 8-битов вектор с използване на оператора CASE

Автори: Мария Дамянова, Галя Маринова, 20.09.2009 г.

За да продължите натиснете бутона **Next**.

Попълнете исканата информация в прозореца **Add files to project**

Можете да добавите предварително създаден файл, използвайки опциите :

- Натиснете бутона **Browse**
- Намерете и изберете желанния файл
- Натиснете бутона **Add**
- За да продължите, натиснете бутона **Next**

Ако нямате файл, който да добавите, натиснете директно бутона **Next**.

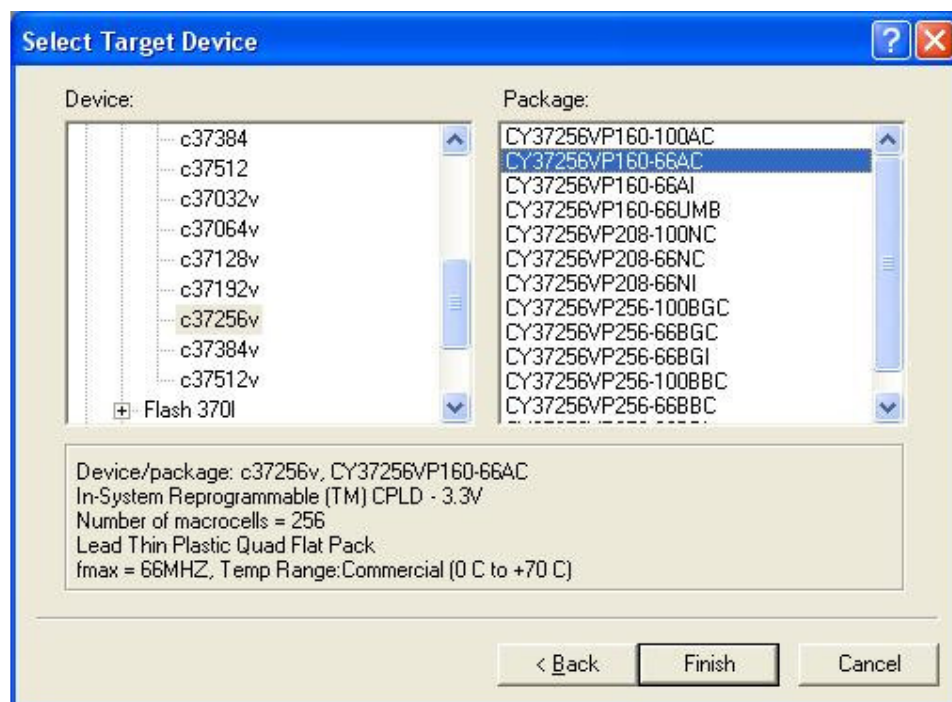
Попълнете исканата информация в прозореца **Select target device**

Ако използвате печатната платка CYPRESS ISR, програмируемата схема CPLD, инсталирана на платката може директно да бъде определена, използвайки опциите:

**ULTRA 37000 > C37256V > CY37256VP160-66AC**

Информацията, отнасяща се до CPLD-то е визуализирана в долната част на прозореца , както е показано на фигура 3.

Дефинирани са типът на CPLD, пакетът, типът, броят на макроклетките и максималната честота.



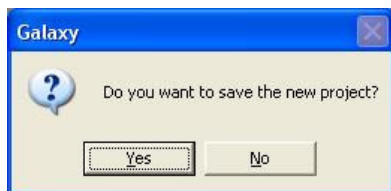
Фигура 3 Избиране на типа на CPLD

### Пример 1: Ротация на 8-битов вектор с използване на оператора CASE

Автори: Мария Дамянова, Галя Маринова, 20.09.2009 г.

За да излезете от този прозорец, натиснете бутона **Finish**.

Потвърдете съхраняването на проекта, като натиснете **Yes**. (виж фигура 4)



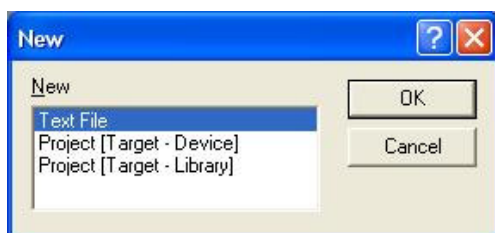
Фигура 4 Съхраняване на проекта

#### 1.1.2 Създаване на нов файл mycase.vhd в проекта MyCase

Създава се файл, в който ще се въведе VHDL кодът на примера.

Създайте нов файл, използвайки опциите:

#### File > New > Text File



Фигура 5 Създаване на нов файл

Прозорецът за редактиране на файла става активен и на първия ред се появява етикета 1.

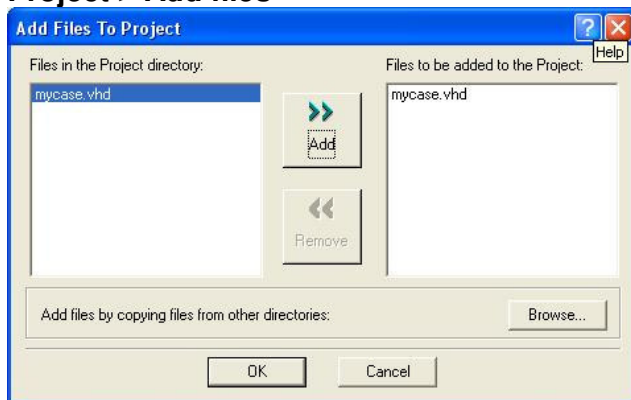
Запометете новия файл, използвайки опциите:

#### File > Save

Попълнете исканата информация. Задайте име на файла: **mycase.vhd**

Добавете новосъздадения файл към проекта, използвайки опциите:

#### Project > Add files



Фигура 6 Прозореца Add Files To Project

## Пример 1: Ротация на 8-битов вектор с използване на оператора CASE

Автори: Мария Дамянова, Галя Маринова, 20.09.2009 г.

Въведете програмния код във файла:

```
library ieee;
use ieee.std_logic_1164.all;

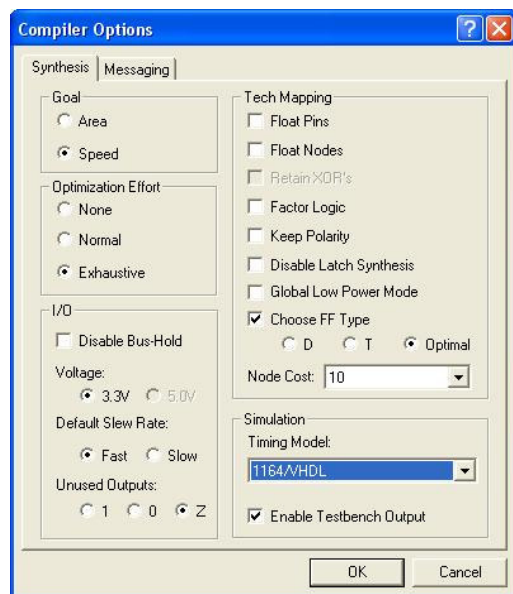
entity Barrel_shifter is port(s :in bit_vector(0 to 2);
    i :in bit_vector(0 to 7);
    o :out bit_vector(0 to 7));
end Barrel_shifter;

architecture demo of Barrel_shifter is
begin process (s, i)
begin
case s is
WHEN "000"=>
o<=i;
WHEN "001"=>
o<=(i(1),i(2),i(3),i(4),i(5),i(6),i(7),i(0));
WHEN "010"=>
o<=(i(2),i(3),i(4),i(5),i(6),i(7),i(0),i(1));
WHEN "011"=>
o<=(i(3),i(4),i(5),i(6),i(7),i(0),i(1),i(2));
WHEN "100"=>
o<=(i(4),i(5),i(6),i(7),i(0),i(1),i(2),i(3));
WHEN "101"=>
o<=(i(5),i(6),i(7),i(0),i(1),i(2),i(3),i(4));
WHEN "110"=>
o<=(i(6),i(7),i(0),i(1),i(2),i(3),i(4),i(5));
WHEN "111"=>
o<=(i(7),i(0),i(1),i(2),i(3),i(4),i(5),i(6));
end case;
end process;
```

### 1.1.3 Компилиране на проекта MyCase

Изберете опциите на компилатора:

#### Project > Compiler options



Препоръчаните опции са дадени на фигура 7.

Значението на опциите е:

- оптимизацията на проекта се извършва с цел максимално висока скорост (Speed), а не минимална площ (Area).
- зададени са максимални усилия за оптимизация (Exhaustive)
- зададено е захранване от 3,3V
- скорост по подразбиране - бърза
- всички неизползвани изходи са в ниво висок импеданс по подразбиране, т.е. задава им се най-ниският приоритет
- техника на разполагане на схемата върху програмируемите клетки – оптимален избор на вида тригер – D или T

Фигура 7 Диалогов прозорец Compiler Options

## Пример 1: Ротация на 8-битов вектор с използване на оператора CASE

Автори: Мария Дамянова, Галя Маринова, 20.09.2009 г.

За VHDL файловете е много важно да се провери опцията:

**Compiler options > Synthesis > Simulation > Timing model : 1164/VHDL.**

След като необходимият VHDL файл е добавен към проекта, може да бъде избран top level файл. Само top-level файлове са действително синтезирани и в проекта е позволен само един top-level файл.

=> Натиснете **mycase.vhd**.

=> Изберете **Project -> Set Top** или натиснете бутона Set Top, достъпен от project toolbar.

=> След като top-level файл е избран, файловият символ в йерархията ще има символ за йерархия.

**Забележка** – За да изберете top level файл, файлът трябва да бъде избран в подпрозореца Project

Изберете главния файл на проекта и компилирайте, използвайки опциите:

### Compile > Selected files

След това компилирайте и проекта, използвайки опцията:

### Compile > Project

Warp започва компилацията и синтеза на проекта върху CY7C37256 и извежда съобщения, за да Ви информира за прогреса в подпрозореца за резултати.

Ако компилацията е успешна, ще получите съобщение:

### Compilation successful.

в долната част на прозореца, както е показано на фигура 8.

```
1 library ieee;
2 use ieee.std_logic_1164.all;
3
4 entity Barrel_shifter is port(s :in bit_vector(0 to 2);
5     i :in bit_vector(0 to 7);
6     o :out bit_vector(0 to 7));
7 end Barrel_shifter;
8
9 architecture demo of Barrel_shifter is
10     begin process (s, i)
11         begin
12             case s is
13                 WHEN "000"=>
14                     o<=i;
15                 WHEN "001"=>
16                     o<=(i(1),i(2),i(3),i(4),i(5),i(6),i(7),i(0));
17                 WHEN "010"=>
18                     o<=(i(2),i(3),i(4),i(5),i(6),i(7),i(0),i(1));
19                 WHEN "011"=>
20                     o<=(i(3),i(4),i(5),i(6),i(7),i(0),i(1),i(2));
21                 WHEN "100"=>
22                     o<=(i(4),i(5),i(6),i(7),i(0),i(1),i(2),i(3));
23                 WHEN "101"=>
24                     o<=(i(5),i(6),i(7),i(0),i(1),i(2),i(3),i(4));
25                 WHEN "110"=>
26                     o<=(i(6),i(7),i(0),i(1),i(2),i(3),i(4),i(5));
27                 WHEN "111"=>
```

```
WARP done.
Compilation successful.
genvhdl -s 1164_VHDL -i "mycase.vhd"
Running: disasm -v -f -lstd_logic mycase
genvhdl completed
Done.
```

Фигура 8 Компилираният проект

Ако има грешки, кодът трябва да бъде коригиран, докато не се появи **Compilation successful.**

в последните редове на доклада от компилацията.