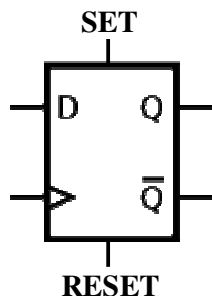


Пример 10. D-Тригер с асинхронни Set и Reset и приоритет на сигнала Set

1. Логическа схема на D-тригер със Set и Reset:



Фиг.1 D –Тригер с асинхронни set и reset

2. Принцип на действие:

Тригерът е логическа схема с две устойчиви състояния, която преминава от едното в другото под въздействието на външен сигнал. Тригерът може да стои произволно дълго в едно от двете състояния, а преминаването в другото състояние става много бързо, със скок. Тригерът е схема с памет. Тригерите биват асинхронни, синхронни, с управление на ниво сигнал, с управление по фронт на сигнал, двустъпални.

3. Таблица на истинност:

S	R	CK	D	Q
X	X	X	0,1 ↓	Previous stage
1	X	X	X	1
0	1	X	X	0
0	0	1	↑	1
0	0	0	↑	0

Фиг.2 Таблица на истинност на D-тригер

4. Описание на D-тригер на VHDL чрез поведенчески модел:

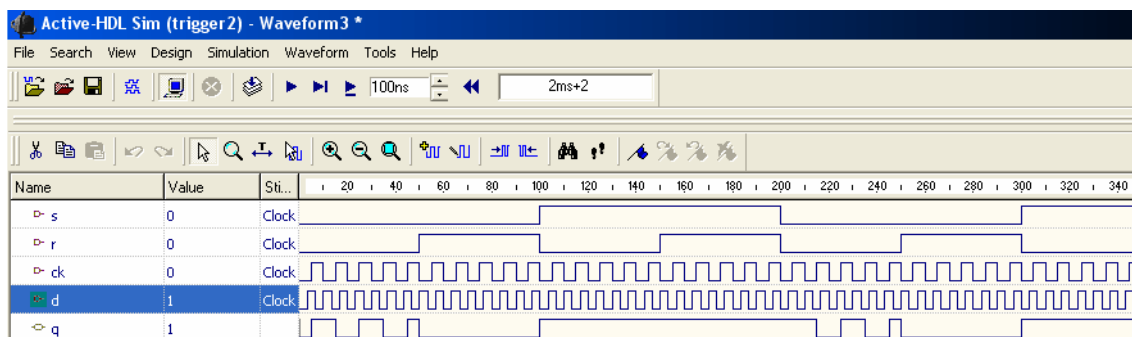
```

library ieee;
use ieee.std_logic_1164.all;
entity Bascule_D is
    port(CK,S,R :in bit; D: in std_logic; Q: out
std_logic);
end Bascule_D;
architecture archBascule_D of Bascule_D is
begin
    process(CK,S,R)
    begin
        if S='1' then Q<='1';
        elsif S='0' and R='1' then Q<='0';
        elsif CK'event and CK='1' then Q<=D;
        end if;
    end process;
end archBascule_D;
    
```

5. Входни сигнали:

Signal	Type	Frequency
R	clock	5kHz
S	clock	10kHz
CK	clock	100kHz
D	clock	150kHz

6. Резултати от симулацията на ACTIVE-HDL SIM:



Честотата на входния изходния сигнал Q е два пъти по-ниска от тази на сигнала CK.

7. Използвани ресурси върху програмируемата схема CY37256P160-83AC и закъснения от REPORT файла trigger2.rpt:

Пример 10. D-тригер с асинхронни Set и Reset и приоритет на сигнала Set
Автори: Силвия Петрова, Галя Маринова, 01.02.2010 г.

RESOURCE UTILIZATION (18:56:07)

Information: Macrocell Utilization.

Description	Used	Max
Dedicated Inputs	1	1
Clock/Inputs	3	4
I/O Macrocells	1	128
Buried Macrocells	0	128
PIM Input Connects	3	624
8 / 885 = 0 %		

	Required	Max (Available)
CLOCK/LATCH ENABLE signals	1	20
Input REG/LATCH signals	0	133
Input PIN signals	4	5
Input PINs using I/O cells	0	0
Output PIN signals	1	128
Total PIN signals	5	133
Macrocells Used	1	256
Unique Product Terms	1	1280

TIMING PATH ANALYSIS (18:56:07) using Package: cy37256p160-83ac
 Messages:

Signal Name	Delay Type	tmax	Path Description
reg::q[143]			
inp::d	tS	8.0 ns	1 pass
inp::s	tPO	21.5 ns	1 pass
inp::r	tRO	21.5 ns	1 pass
out::q	tCO	8.0 ns	

Worst Case Path Summary

tS = 8.0 ns for q.D
 tCO = 8.0 ns for q.C
 tPO = 21.5 ns for q.AP
 tRO = 21.5 ns for q.AR